

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Ryu OGIWARA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: FERROELECTRIC MEMORY AND METHOD OF TESTING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-070147	March 14, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2003年 3月14日

出 願 番 号

Application Number: 特願2003-070147

[ST.10/C]:

[JP 2003-070147]

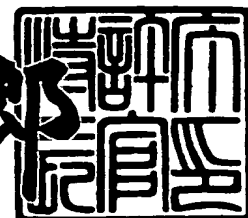
出 願 人

Applicant(s): 株式会社東芝

2003年 6月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3042988

【書類名】 特許願

【整理番号】 A000300305

【提出日】 平成15年 3月14日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00

【発明の名称】 強誘電体メモリ及びそのテスト方法

【請求項の数】 19

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 萩原 隆

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体メモリ及びそのテスト方法

【特許請求の範囲】

【請求項 1】 それぞれ強誘電体キャパシタ及びスイッチトランジスタからなる複数のメモリセルを備え、

前記複数のメモリセルの各強誘電体キャパシタの両電極間に第 1 の電位差を加えてメモリセルに分極データを書き込んだ後、対応するメモリセルから分極データの読み出しを行う前に、前記強誘電体キャパシタの両電極間に、分極データ書き込み時とは反対の電界の向きに前記第 1 の電位差よりも小さな第 2 の電位差を加えるテストモードを有することを特徴とする強誘電体メモリ。

【請求項 2】 前記第 1 の電位差が、前記強誘電体キャパシタの持つ分極履歴特性曲線における抗電圧の絶対値よりも大きいことを特徴とする請求項 1 記載の強誘電体メモリ。

【請求項 3】 前記第 2 の電位差は、前記強誘電体キャパシタの持つ分極履歴特性曲線における抗電圧よりも小さな絶対値を有することを特徴とする請求項 1 または 2 記載の強誘電体メモリ。

【請求項 4】 前記強誘電体キャパシタの両電極間に前記第 2 の電位差を複数回連続して加えることを特徴とする請求項 1 ないし 3 のいずれか 1 項記載の強誘電体メモリ。

【請求項 5】 前記メモリセルから分極データの読み出しを行う際に、前記強誘電体キャパシタの両電極間に、前記第 2 の電位差よりも大きな絶対値を有する第 3 の電位差を加えることを特徴とする請求項 1 ないし 4 のいずれか 1 項記載の強誘電体メモリ。

【請求項 6】 前記第 1 の電位差と第 3 の電位差とが等しいことを特徴とする請求項 5 記載の強誘電体メモリ。

【請求項 7】 前記第 2 の電位差を生成する回路が、前記複数のメモリセルと共に半導体チップ上に形成されていることを特徴とする請求項 1 ないし 6 のいずれか 1 項記載の強誘電体メモリ。

【請求項 8】 前記複数の各メモリセルの前記強誘電体キャパシタの一方の

電極には前記スイッチトランジスタの一方の電流端が接続され、前記強誘電体キャパシタの他方の電極にはプレート線が接続され、前記スイッチトランジスタの他方の電流端にはビット線が接続され、前記スイッチトランジスタのゲート端子にはワード線が接続されていることを特徴とする請求項1ないし7のいずれか1項記載の強誘電体メモリ。

【請求項9】 前記複数のメモリセル内の強誘電体キャパシタは直列接続され、前記複数のメモリセル内の前記各スイッチトランジスタの一方及び他方の電極が対応するメモリセル内の前記強誘電体キャパシタに対して並列に接続されることで前記複数のメモリセルが直列接続され、直列接続された複数のメモリセルの一端にはプレート線が接続され、直列接続された複数のメモリセルの他端にはビット線が接続され、前記各スイッチトランジスタのゲート端子にはワード線が接続されていることを特徴とする請求項1ないし7のいずれか1項記載の強誘電体メモリ。

【請求項10】 前記テストモードは、
前記複数のメモリセルに初期データパターンが書き込まれ、かつ前記複数のメモリセルに対し前記初期データパターンとは逆のパターンを有する逆データパターンが書き込まれた後に、この逆データパターンを読み出す前に行われる動作モードであることを特徴とする請求項1記載の強誘電体メモリ。

【請求項11】 それぞれ強誘電体キャパシタ及びスイッチトランジスタからなる複数のメモリセルを備え、

前記複数のメモリセルの各強誘電体キャパシタの両電極間に第1の電位差を加えて各強誘電体メモリセルに分極データを書き込んだ後、対応する強誘電体メモリセルから分極データの読み出しを行う前に、前記強誘電体キャパシタの両電極間に分極を弱める向きに第2の電位差を加えるテストモードを有することを特徴とする強誘電体メモリ。

【請求項12】 前記第2の電位差は、前記強誘電体キャパシタの持つ分極履歴特性曲線における抗電圧よりも小さな絶対値を有することを特徴とする請求項11記載の強誘電体メモリ。

【請求項13】 それぞれ強誘電体キャパシタ及びスイッチトランジスタか

らなる複数のメモリセルを備えた強誘電体メモリのテスト方法であって、

前記複数のメモリセルの各強誘電体キャパシタの両電極間に第 1 の電位差を加えてメモリセルに分極データを書き込み、

対応するメモリセルの強誘電体キャパシタの両電極間に、分極データ書き込み時とは反対の電界の向きに前記第 1 の電位差よりも小さな第 2 の電位差を加えて強誘電体キャパシタの分極を弱め、

この後、分極データの読み出しを行うことを特徴とする強誘電体メモリのテスト方法。

【請求項 1 4】 前記第 2 の電位差は、前記強誘電体キャパシタの持つ分極履歴特性曲線における抗電圧よりも小さな絶対値を有することを特徴とする請求項 1 3 記載の強誘電体メモリのテスト方法。

【請求項 1 5】 前記強誘電体キャパシタの両電極間に前記第 2 の電位差を複数回連続して加えることを特徴とする請求項 1 3 記載の強誘電体メモリのテスト方法。

【請求項 1 6】 前記メモリセルから分極データの読み出しを行う際に、前記強誘電体キャパシタの両電極間に、前記第 2 の電位差よりも大きな第 3 の電位差を加えて読み出しを行うことを特徴とする請求項 1 3 ないし 1 5 のいずれか 1 項記載の強誘電体メモリのテスト方法。

【請求項 1 7】 前記複数のメモリセルの各強誘電体キャパシタの両電極間に第 1 の電位差を加えてメモリセルに分極データを書き込む際に、第 1 の電位差として前記強誘電体キャパシタの持つ分極履歴特性曲線における抗電圧よりも絶対値が大きな電位差を加えることを特徴とする請求項 1 3 ないし 1 6 のいずれか 1 項記載の強誘電体メモリのテスト方法。

【請求項 1 8】 前記第 1 の電位差と第 3 の電位差とが等しいことを特徴とする請求項 1 6 記載の強誘電体メモリのテスト方法。

【請求項 1 9】 前記複数のメモリセルの各強誘電体キャパシタの両電極間に第 1 の電位差を加えて分極データを前記メモリセルに書き込むに際し、

予め前記複数のメモリセルには初期データパターンが書き込まれており、前記複数のメモリセルに対し前記初期データパターンとは逆のパターンを有する逆デ

ータパターンを書き込むことを特徴とする請求項 1 3 記載の強誘電体メモリのテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、強誘電体メモリセルを有する強誘電体メモリに係り、特にデータ書き込み後の強誘電体メモリセルにおける分極量を評価する機能を備えた強誘電体メモリ及びそのテスト方法に関する。

【0002】

【従来の技術】

強誘電体メモリは、強誘電体キャパシタが有するヒステリシス特性を利用して“0”、“1”の論理値データを分極量として記憶する不揮発性半導体メモリとして知られている。強誘電体キャパシタのヒステリシス特性を評価するために、強誘電体メモリの製造後に、所定のデータパターンが書き込まれ、その後、読み出され、書き込みデータと比較されることで、強誘電体メモリセルにおける分極量が評価される。

【0003】

従来、強誘電体メモリセルの分極量の評価に関しては、例えば特許文献 1 ないし 4 に記載されているような方法が提案されている。

【0004】

これらに記載された方法では、データが書き込まれた後に直ちにデータの読み出しが行われるか、またはデータが書き込まれた後に十分な時間待った後、読み出しを行うようにはされていない。このため、デポラリゼーションによる分極量の減衰が十分に起こっていないうちにデータが読み出される可能性がある。また、抗電圧 (coercive voltage) の小さなヒステリシス特性を有する強誘電体メモリセルをスクリーニングすることもできない。

【0005】

図 4 5 は、強誘電体の 1 種である PZT (PbZrTiO_3) 膜のデポラリゼーションによる経時変化特性の一例を示している。なお、この特性については例えば非特許文

献1に記載されている。図45において、縦軸は規格化された残留分極量を示し、横軸はデータが書き込まれてから読み出されるまでの間の経過時間（秒）を示している。

【0006】

図45から分かるように、強誘電体メモリセルにデータが書き込まれてから後、分極量の減衰が止まるためには、 $10^{-3} \sim 10^0$ （秒）程度の時間は待たなければいけない。つまり、デポラリゼーションが十分に起こった状態で強誘電体メモリセルからデータを読み出すためには、書き込み後から十分な時間待つ必要がある。従って、データが書き込まれてから読み出すというテストを行うに当たり、デポラリゼーションが十分に起こった後のデータを読み出そうとすると、テストに要するコストが高騰するという問題がある。

【0007】

このような事情を従来のテスト方法及び強誘電体メモリセルのヒステリシス特性を用いて説明する。

【0008】

図46は、特許文献1に記載されているテスト方法のフローチャートを示している。このテスト方法は以下のようなシーケンスで行われる。

【0009】

- (1) 初期のデータパターン（Data Pattern）の書き込みが行われる。

【0010】

- (2) (2)バーク（Bake）、つまり一定時間高温放置される。

【0011】

- (3) 初期データパターンが読み出され、不良セル（SS不良）が検出される。

【0012】

- (4) (1)とは逆パターンの逆データパターンの書き込みが行われる。

【0013】

- (5) 逆データパターンが読み出され、不良セル（OS不良）が検出される。

【0014】

- (6) 次のデータパターンの書き込みが行われる。

【 0 0 1 5 】

(7)以上の(2)～(6)のステップが書き込むデータパターンを換えて多くの回数繰り返し行われる。

【 0 0 1 6 】

ここで、SS不良におけるSSとはsame stateの略であり、書いたデータをそのまま読み出すという意味で、また、OS不良におけるOSとはopposite stateの略であり、メモリセルに予め書き込まれているデータとは逆のデータを書き込み、それを読み出すという意味でそれぞれ使用されている。

【 0 0 1 7 】

ここで(4)から(5)のステップに移行する際に十分な時間が確保されていないと、十分にデポラリゼーションしていない状態で分極量が読み出されることになる。

【 0 0 1 8 】

さらに、上記の事情を図4 7及び図4 8を用いて示す。

【 0 0 1 9 】

図4 7は、図4 6に示すテストシーケンスにおいて、(4)のステップで逆データパターンが書き込まれた直後、つまりデポラリゼーションが起こる前の状態の強誘電体メモリセル（強誘電体キャパシタ）のヒステリシス特性曲線を示す。なお、図4 7において、VPL-VBLはプレート線とビット線間の電位差を示し、Pは分極量を示す。

【 0 0 2 0 】

ここで、図4 6中の(6)のステップで、逆データパターンを読み出すテストを行うことを考える。書き込みが行われたメモリセルがデポラリゼーションするのに長時間を要する強誘電体メモリセルの場合、図4 7に示すように逆データパターンの読み出し時点では残留分極量は未だ減衰しておらず、必然的にビット線には高い読み出し電位が出てくる。

【 0 0 2 1 】

一方、十分にデポラリゼーションしている強誘電体メモリセルでは、図4 8に示すように、ビット線には低い読み出し電位が出てくる。なお、図4 7、図4 8

中の Q_{SW} は、“0” / “1” の書き込みデータの残留分極量の差を示している。

【 0 0 2 2 】

すなわち、デポラリゼーション後の強誘電体メモリセルの分極量の評価を行い、デポラリゼーションして信号量が減少しても十分なセンスマージンがあるか確認するためには、データの書き込み後に十分な時間を待たなければならないという問題がある。先にも述べたように、これはテストに要するコストが上昇することを意味する。

【 0 0 2 3 】

【特許文献 1】

米国特許明細書第 5, 6 6 1, 7 3 0 号

【 0 0 2 4 】

【特許文献 2】

米国特許明細書第 5, 9 9 1, 1 8 9 号

【 0 0 2 5 】

【特許文献 3】

米国特許明細書第 5, 8 2 2, 2 3 7 号

【 0 0 2 6 】

【特許文献 4】

特開 2 0 0 0 - 2 6 8 5 9 9 号公報

【 0 0 2 7 】

【非特許文献 1】

J.Appl.Phys. 75(1), 1 January 1994

【 0 0 2 8 】

【発明が解決しようとする課題】

この発明は上記のような事情を考慮してなされたものであり、その目的は、データ書き込み後に短時間で強誘電体メモリセルの分極量を評価することができる強誘電体メモリ及びそのテスト方法を提供することである。

【 0 0 2 9 】

【課題を解決するための手段】

この発明の強誘電体メモリは、それぞれ強誘電体キャパシタ及びスイッチトランジスタからなる複数のメモリセルを備え、上記複数のメモリセルの各強誘電体キャパシタの両電極間に第1の電位差を加えてメモリセルに分極データを書き込んだ後、対応するメモリセルから分極データの読み出しを行う前に、上記強誘電体キャパシタの両電極間に、分極データ書き込み時とは反対の電界の向きに上記第1の電位差よりも小さな第2の電位差を加えるテストモードを有する。

【0030】

この発明の強誘電体メモリは、それぞれ強誘電体キャパシタ及びスイッチトランジスタからなる複数のメモリセルを備えた強誘電体メモリのテスト方法であって、上記複数のメモリセルの各強誘電体キャパシタの両電極間に第1の電位差を加えてメモリセルに分極データを書き込み、対応するメモリセルの強誘電体キャパシタの両電極間に、分極データ書き込み時とは反対の電界の向きに上記第1の電位差よりも小さな第2の電位差を加えて強誘電体キャパシタの分極を弱め、この後、分極データの読み出しを行うようにしている。

【0031】

【発明の実施の形態】

まず、この発明の強誘電体メモリ及びそのテスト方法の実施の形態の説明の前に、その原理を、図1のフローチャート及び図2の履歴曲線図（ヒステリシス特性曲線図）を用いて説明する。

【0032】

後述する種々の実施の形態に係る強誘電体メモリは、通常のデータ書き込み及び読み出しが行われるノーマルモードと、データ書き込み後にデータを読み出して強誘電体メモリセルの分極量の評価を行うテストモードとを有する。そして、テストモードの1つとして、図1のフローチャートに示すように、以下のシーケンスで強誘電体メモリセルの分極量を評価するテストも行われる。

【0033】

(1)初期のデータパターン (Data Pattern) の書き込みが行われる。

【0034】

(2)ベーク (Bake) 、つまり一定時間高温放置される。

【0035】

(3)初期のデータパターンが読み出され、不良セル（SS不良）が検出される。

【0036】

(4)(1)とは逆のパターンの逆データパターンの書き込みが行われる。

【0037】

(5)強誘電体キャパシタに対し、分極を弱める向きに抗電圧（coercive voltage）以下の電位差が印加される。

【0038】

(6)逆データパターンが読み出され、不良セル（OS不良）が検出される。

【0039】

(7)次のデータパターンの書き込みが行われる。

【0040】

(8)以上の(2)～(7)のステップが書き込むデータパターンを換えて多くの回数繰り返し行われる。

【0041】

つまり、図1に示すテストシーケンスが図45に示した従来のシーケンスと異なる点は、逆データパターンの書き込みのステップと、この逆データパターンの読み出しのステップとの間に、抗電圧の絶対値よりも小さな電位差が強誘電体キャパシタに印加される(5)のステップが追加されていることである。

【0042】

上記(5)のステップが新たに追加されたことにより、短い時間で強誘電体キャパシタがデポラリゼーションした場合と等価な分極量を強誘電体キャパシタに持たせることができ、実効的にデポラリゼーションした状態の分極データに対する(6)のステップのテストを行うことができる。

【0043】

この事情を図2を用いて説明する。

【0044】

図2(a)は、図1に示すテストシーケンスにおいて、(4)のステップで逆デ

ータパターンが書き込まれた直後の強誘電体メモリセル（強誘電体キャパシタ）のヒステリシス特性曲線を示す。なお、(4)のステップでデータの書き込みを行う際に、メモリセル内の強誘電体キャパシタの両電極間には、強誘電体キャパシタの持つ分極履歴特性曲線における抗電圧（coercive voltage）の絶対値よりも大きな電位差が印加される。この抗電圧は図2（a）中の V_{c0} または V_{c1} で示されている。

【0045】

ここで、例えば、データ書き込み後の分極量が図2（a）に示すようにPaの位置にあるとする。次に、(6)の逆データパターンを読み出すテストを行う前に、(5)のステップで強誘電体メモリセル（強誘電体キャパシタ）に対し、図2（a）に示すように、分極を弱める向きに抗電圧（ V_{c1} ）の絶対値よりも小さい電位差（ $+\Delta V$ ）を一旦印加して0Vに戻す。すると、この電位差の印加後は、図2（a）に示す様に分極量がPbの位置に移動する。すなわち、上記電位差（ $+\Delta V$ ）を一旦印加したことにより、デポラリゼーションするのに長時間を要する強誘電体メモリセルの場合でも残留分極量が減衰し、実効的に短時間でデポラリゼーションしたことになる。

【0046】

従って、この後の(6)のステップで逆データパターンを読み出す際に、ビット線にはデポラリゼーションした後の分極量に相当する低い読み出し電位が出てくる。

【0047】

なお、データ書き込み後に、短い時間でデポラリゼーションしてしまうような強誘電体メモリセルについては、図2（b）に示すように、分極を弱める向きに抗電圧（ V_{c1} ）の絶対値よりも小さな電位差（ $+\Delta V$ ）を印加しても、更なる分極量の減少はほとんど起こらないことが経験的に知られている。

【0048】

従って、デポラリゼーションに要する時間が長い強誘電体メモリセルと短い強誘電体メモリセルとが混在していても、(5)のステップを実行することによって、同一チップ内に形成されている全ての強誘電体メモリセルから、短時間にデポ

ラリゼーション後の残留分極量に相当するビット線電位を読み出すことができる。

【 0 0 4 9 】

なお、図 2 (c) に示すように、元々抗電圧の小さい強誘電体メモリセルについては、(5)のステップの際に、電位差 ($+\Delta V$) が印加されることで分極反転する可能性があり、分極反転すると、不良と判定される。しかし、このような場合では、不良の強誘電体メモリセルをスクリーニング (screening) できるという点でも意味がある。

【 0 0 5 0 】

ところで、先の特許文献 4 に記載されたものにおいても、強誘電体キャパシタに分極を弱める方向のディスターブをかけるテストモードを有する。しかし、特許文献 4 に記載されたものは、本願発明におけるテストモードとは以下の点において異なる。

【 0 0 5 1 】

(1)特許文献 4 に記載されたものは、寄生容量とのカップリングにより、極めて微小な電位差が繰り返し加わったことによる分極量の減衰を調べるものであり、デポラリゼーションが起こった場合と等しい分極量の減衰を短時間に得ようとしたものではない。

【 0 0 5 2 】

(2)特許文献 4 に記載されたものにおいて、寄生容量とのカップリングによって間接的に加わるディスターブは極めて小さい量であり、経験的に、繰り返し加わっても分極量を減衰させる量は非常に小さく、累積的效果も小さいことが知られている。これに対し、本願発明によるディスターブはセルキャパシタに直接的に加えられるものであり、有為な量の減衰を加えることができる。

【 0 0 5 3 】

さらに、本発明におけるテストモードは、図 3 に示すように、インプリント (Imprint) によってヒステリシス特性曲線上の傾きが大きなところに残留分極が位置してしまった場合に特に効果がある。インプリントが進行し、ヒステリシス特性曲線上で傾きが大きなところに残留分極が位置すると、経験的にデポラリゼ

ーションの量も大きなものとなるため、なおさら本テストモードの必要性が高まることになる。

【 0 0 5 4 】

図 1 に示す本発明のテストシーケンスにおいて、(1)のステップで初期データとして正の値の分極 P が書き込まれ、(2)のステップでベークが行われると、インプリントによって図 3 に示したようなステリシス特性となることが知られている。この状態において、(4)のステップで逆データパターンの書き込みが行われると、図 3 に示すような分極量を呈することになる。

【 0 0 5 5 】

上述したように、デポラリゼーションによる分極量の減衰が大きいため、本発明のテストモードを実行することによって、図 1 中の O S 不良検出に要するテスト時間の短縮に特に有効である。

【 0 0 5 6 】

次に、この発明の各実施の形態に係る強誘電体メモリの概略的な回路構成について説明する。

【 0 0 5 7 】

図 4、図 5 及び図 6 は強誘電体メモリにおける読み出し回路の一部とセルアレイの一部の回路構成を示しており、例えば図 4 に示す読み出し回路と図 5 に示すセルアレイとが組み合わされて使用され、あるいは、図 4 に示す読み出し回路と図 6 に示すセルアレイとが組み合わされて使用される。

【 0 0 5 8 】

図 4 に示す読み出し回路は、一対のビット線 BL<0>、BL<1>、一対のデータ線 DQ、/DQ、カラム選択線 CSL<0>、ビット線イコライズ／プリチャージ回路 11、テストモード時にビット線の電位をテスト用の電位 VTestBL に設定するビット線電位設定回路 12、ビット線センスアンプ (S/A) 13、一対のカラム選択トランジスタ 14、DQ センスアンプ (DQ-S/A) 15、外部の電位 ExtVBL<0>、ExtVBL<1>を一対のビット線に転送する一対のトランスファゲート 16 とから構成されている。

【 0 0 5 9 】

ビット線イコライズ／プリチャージ回路 11 は、ソース・ドレイン間が一対のビ

ット線BL<0>、BL<1>相互間に挿入され、ゲート電極にイコライズ制御線EQLが接続されたNMOSトランジスタ17と、ソース・ドレイン間が一方のビット線BL<0>とイコライズ電位VEQの供給ノードとの間に挿入され、ゲート電極に上記イコライズ制御線EQLが接続されたNMOSトランジスタ18と、ソース・ドレイン間が他方のビット線BL<1>とイコライズ電位VEQのノードとの間に挿入され、ゲート電極に上記イコライズ制御線EQLが接続されたNMOSトランジスタ19とからなる。

【 0 0 6 0 】

ビット線電位設定回路12は、テストモード時にテスト用のビット線電位VTestBLが供給されるノードと一方のビット線BL<0>との間にソース・ドレイン間が挿入され、テストモード時に活性化されるテスト用ワード線TestWL<0>にゲート電極が接続されたNMOSトランジスタ20と、上記電位VTestBLのノードと他方のビット線BL<1>との間にソース・ドレイン間が挿入され、テストモード時に活性化されるテスト用ワード線TestWL<1>にゲート電極が接続されたNMOSトランジスタ21とからなる。

【 0 0 6 1 】

ビット線センスアンプ13は、一对のビット線BL<0>、BL<1>相互間に接続されており、一对のビット線BL<0>、BL<1>相互間の電位差を電位VSAまたはVSSに増幅する。

【 0 0 6 2 】

一对のカラム選択トランジスタ14は、ソース・ドレイン間が一对のビット線BL<0>、BL<1>と一对のデータ線DQ、/DQとの間に挿入され、各ゲート電極がカラム選択線CSL<0>に共通に接続されたNMOSトランジスタで構成されている。

【 0 0 6 3 】

DQセンスアンプ15は一对のデータ線DQ、/DQ相互間に接続されており、データ線DQ、/DQ相互間の電位差を増幅してデータを出力する。そして、DQセンスアンプ15から出力されるデータはデータ入出力回路を介してメモリの外部に出力される。

【 0 0 6 4 】

一对のトランスファゲート16は、外部から供給されるビット線電位ExtVBL<0>

、ExtVBL<1>のノードと一对のビット線BL<0>、BL<1>との間に接続されており、それぞれソース・ドレイン間が並列に接続されたPMOS及びNMOSトランジスタで構成されている。上記一对のトランスファゲート16は、制御信号ExtON<0>、/ExtON<0>及びExtON<1>、/ExtON<1>で導通制御される。

【 0 0 6 5 】

図5に示すセルアレイ内には複数のメモリセルMCが設けられている。各メモリセルMCはそれぞれ、MOSトランジスタからなりスイッチとして動作するセルトランジスタ31と、一方の電極がセルトランジスタ31の一方の電流端に接続されたPZT(PbZrTiO_3)等の強誘電体を誘電膜とするセルキャパシタ32とからなる。各セルキャパシタ32の他方の電極にはプレート線PL<0>またはPL<1>が接続され、各セルトランジスタ31の他方の電流端にはビット線BL<0>またはBL<1>が接続されている。そして、各セルトランジスタ31のゲート電極はワード線WL<0>またはWL<1>に接続されている。

【 0 0 6 6 】

また、図5の回路には、外部から供給されるプレート線電位EXTPL<0>、EXTPL<1>をプレート線PL<0>、PL<1>に転送する一对のトランスファゲート33が設けられている。上記一对のトランスファゲート33は、それぞれソース・ドレイン間が並列に接続されたPMOS及びNMOSトランジスタで構成され、制御信号EXTPLON<0>、/EXTPLON<0>及びEXTPLON<1>、/EXTPLON<1>で導通制御される。

【 0 0 6 7 】

すなわち、図5のセルアレイ内に設けられている各メモリセルMCは、1個のMOSトランジスタと1個のキャパシタとからなるいわゆる1T-1C型の場合である。

【 0 0 6 8 】

図6に示すセルアレイ内には、複数のユニットセル（メモリセル）が設けられている。各ユニットセルは、図5の場合と同様にセルトランジスタ31とセルキャパシタ32とからなる。複数のユニットセルのセルキャパシタ32が直列に接続され、ユニットセルのセルトランジスタ31の一方及び他方の電極が対応するセルキャパシタ32に対して並列接続されることで複数のユニットセルが直列接続されてメモリブロックが構成される。そして、各メモリブロックの一端にはプレート線PL

<0>またはPL<1>が接続され、他端にはブロック選択用のNMOSトランジスタ34それぞれを介して、ビット線BL<0>またはBL<1>が接続されている。各セルトランジスタ31のゲート電極は、複数のワード線WL<0>～WL<7>のうち対応するものに接続されている。

【 0 0 6 9 】

ブロック選択用のNMOSトランジスタ34のゲート電極はブロック選択線BS<0>またはBS<1>に接続されている。

【 0 0 7 0 】

また、図5の回路と同様に、外部から供給されるプレート線電位EXTPL<0>、EXTPL<1>をプレート線PL<0>、PL<1>に転送する一対のトランスファゲート33が設けられている。

【 0 0 7 1 】

すなわち、図6のようなセルアレイを有する強誘電体メモリは、セルトランジスタ(T)のソース・ドレイン間にキャパシタ(C)の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続したTC並列ユニット直列接続型強誘電体メモリの場合である。

【 0 0 7 2 】

以下、この発明の種々の実施の形態について詳細に説明する。

【 0 0 7 3 】

(第1の実施の形態)

図7は、図5に示すような1T-1C型の強誘電体メモリのセルアレイの一部の回路構成を示している。図7にはそれぞれ複数本のビット線、プレート線及びワード線が設けられており、そのうち4本のビット線BL<0>～BL<3>とそれぞれ7本のプレート線PL<0>～PL<6>及びワード線WL<0>～WL<6>が例示されている。セルアレイの各行には、それぞれ1本おきにメモリセルがビット線に接続されており、かつ偶数番目の行のワード線WL<a> (a=0,2,4,6,...) に各ゲート電極が接続されたメモリセルは奇数番目の列のビット線BL (b=1,3,...) に接続され、奇数番目の行のワード線WL<c> (c=1,3,5,...) に各ゲート電極が接続されたメモリセルは偶数番目の列のビット線BL<d> (d=0,2,...) に接続されている。

【 0 0 7 4 】

本テストモードにおいて、図 1 に示すテストシーケンス中の(5)のステップの際に、セルキャパシタに対して抗電圧の絶対値よりも小さな電位差を印加することは、メモリセルが接続されているプレート線とビット線間に所定の電位差を加え、かつメモリセル内のセルトランジスタを導通させることで実現できる。

【 0 0 7 5 】

例えば、図 7 中、プレート線 PL<2>とビット線 BL<1>とに接続されている 1 個のメモリセル MC1 には予め “1” のデータが書き込まれており、このメモリセル MC1 に書き込まれているデータを読み出す前に、抗電圧の絶対値よりも小さな電位差を印加する際の動作を、図 8 のタイミングチャートを参照して説明する。

【 0 0 7 6 】

まず、イコライズ制御線 EQL は “H” のままにされ、イコライズ電位 VEQ として 0 V が供給される。これにより、図 4 に示すビット線イコライズ／プリチャージ回路 11 内の NMOS トランジスタ 17、18、19 が導通し、ビット線 BL<0>、BL<1>を含む全てのビット線が 0V (GND) にイコライズされている。

【 0 0 7 7 】

次に、メモリセル MC1 が接続されているワード線 WL<2>に対応したロウアドレス Row Add.<2>が選択されてワード線 WL<2>が VPP 電位に昇圧される。これにより、メモリセル MC1 内のセルトランジスタが導通し、メモリセル MC1 内のセルキャパシタのセルトランジスタ側の電極に 0V (GND) の電位が印加される。

【 0 0 7 8 】

一方、制御信号 PLENBL が 0V から “H” に上昇し、プレート線を駆動する準備がなされる。これを受けて、制御信号 PLON が一旦は “H” に上昇し、ノーマルモードとしての動作の準備に入る。続いて、制御信号 PLON が “L” に下降し、かつ制御信号/TestPL が “L” に下降することにより、本テストモードとしての動作に入り、プレート線 PL<2>に正極性の電位 VTestPL が出力される。

【 0 0 7 9 】

制御信号/TestPL が “L” に下降してから所定の時間の後に、制御信号/TestPL が “H” に上昇し、これに伴ってプレート線 PL<2>の電位が 0V (GND) に低下する

。また、制御信号/TestPLが“H”に上昇した後に、ワード線WL<2>の電位が0V (GND) に低下してメモリセルMC1の選択動作が終了する。続いて制御信号PLONが“H”に上昇し、ノーマルモード動作の準備に入る。その後、図1に示すテストシーケンス中の(6)以降のステップが実行される。

【0080】

ところで、ビット線が0V (GND) の電位に、かつプレート線PL<2>が正極性の電位VTestPLにそれぞれ設定されているときにメモリセルMC1が選択されると、メモリセルMC1内のセルキャパシタには、図7中に示すように、プレート線PL<2>側の電極が(+)、セルトランジスタ側の電極が(-)となるような電位差VTestPLが印加される。この電位差VTestPLは図2(a)で説明した抗電圧の絶対値よりも小さな電位差 $+\Delta V$ に相当する。この電位差がセルキャパシタ32に印加され、プレート線PL<2>の電位が再び0Vに戻ることで、メモリセルMC1の分極量は、図2(a)に示したように短時間でデポラリゼーションが起こった後と等しい分極量となる。従って、この後のステップでメモリセルMC1からデータの読み出しを行う際に、分極量を短時間で評価することができる。

【0081】

メモリセルMC1からデータを読み出す際は、メモリセルMC1内の強誘電体キャパシタ32には上記電位差VTestPLよりも大きな電位差が印加される。

【0082】

なお、この第1の実施の形態では、制御信号/TestPLが“H”に上昇した後に、ワード線WL<2>の電位が0V (GND) に低下して、メモリセルMC1の選択動作が一旦終了する場合を説明した。しかし、図8中に破線で示すように、制御信号/TestPLが“H”に上昇した後もワード線WL<2>の電位をVPP電位に保ったまま、制御信号PLONを再度“H”に上昇させて、ノーマルモードとして引き続きメモリセルMC1からデータの読み出しを行うようにしてもよい。

【0083】

また、プレート線PL<2>に正極性の電位VTestPLを印加する際に、電位VTestPLを定常的に印加する場合を説明したが、これは電位VTestPLをパルス状に複数回連続して印加するようにしてもよい。この場合、セルキャパシタ32の両電極間に

は、電位差VTestPLが複数回連続して印加されることになる。

【 0 0 8 4 】

(第2の実施の形態)

ところで、図7に示すような構成のセルアレイを有する強誘電体メモリにおいて、選択されたメモリセルMC1に対して上記電位差VTestPLを印加する際に、同じ行に存在している他のメモリセル、例えばビット線BL<3>に接続されているメモリセルMC2に対しても上記電位差VTestPLが印加され、ディスターブ (Disturb) がかかる。

【 0 0 8 5 】

そこで、この第2の実施の形態では、選択されるメモリセル以外のメモリセルには上記電位差VTestPLが印加されないようにして、ディスターブがかからないように配慮したものである。

【 0 0 8 6 】

以下、図9のタイミングチャートを参照して動作を説明する。

【 0 0 8 7 】

イコライズ制御線EQLが“H”から“L”に低下して、ビット線が0V (GND) にイコライズされた状態から解除され、次にメモリセルMC1の選択動作が開始され、プレート線PL<2>に正極性の電位VTestPLが出力された後、プレート線PL<2>の電位が0V (GND) に低下する。

【 0 0 8 8 】

この実施の形態では、プレート線PL<2>に正極性の電位VTestPLが出力される動作に同期して、選択されるメモリセルMC1が接続されているビット線とメモリセルが接続されていない偶数番目の列のビット線BL<m> (m=0,1,2,4,6,...) 以外の複数のビット線BL<n> (n=3,5,7,...) に、並列的に正極性の電位VTestBL (=VTestPL) が出力され、プレート線PL<2>への電位VTestPLの出力が終了される動作に同期して、複数のビット線BL<n>への電位VTestBLの出力動作が終了する。

【 0 0 8 9 】

この結果、ビット線BL<1>以外のビット線、例えばBL<3>に接続されているメモリセルMC2を始めとする非選択のメモリセルに対しては実質的に上記電位差VTe

stPLが印加されないようになり、メモリセルMC2にはディスターブがかからなくなる。

【0090】

なお、この第2の実施の形態においても、第1の実施の形態と同様に、図9中に破線で示すように、ワード線WL<2>の電位をVPP電位に保ったまま、制御信号PL ONを再度“H”に上昇させて、ノーマルモードとして引き続きメモリセルMC1からデータの読み出しを行うようにしてもよい。さらに、プレート線及びビット線にそれぞれ正極性の電位VTestPL、VTestBLを印加する際に電位VTestPL、VTestBLを定常的に印加する場合を説明したが、これはそれぞれ互いに同期させて電位VTestPL、VTestBLをパルス状に複数回連続して印加するようにしてもよい。この場合、選択されたメモリセル内のセルキャパシタの両電極間には、電位差VTestPLが複数回連続して印加されることになる。

【0091】

(第3の実施の形態)

図10は第3の実施の形態による強誘電体メモリのセルアレイの一部の構成を示している。このセルアレイは、図7に示した第1の実施の形態のものと同様に構成されている。

【0092】

第1、第2の各実施の形態では、予め“1”のデータが書き込まれたメモリセルからデータを読み出す前に、分極を弱めるようにプレート線からビット線に向いた電界の方向で抗電圧の絶対値よりも小さな電位差をメモリセルに対して印加する場合について説明した。これに対して、第3の実施の形態では、予め“0”のデータが書き込まれたメモリセルに対し、分極を弱めるようにビット線からプレート線に向いた電界の方向で抗電圧の絶対値よりも小さな電位差を印加するようにしたものである。

【0093】

例えば、図10中のワード線WL<2>、プレート線PL<2>及びビット線BL<1>に接続されている偶数番目の行のメモリセルMC1に予め“0”のデータが書き込まれており、このメモリセルMC1に書き込まれているデータを読み出す前に、抗電圧の

絶対値よりも小さな電位差を印加する際の動作を図11のタイミングチャートを参照して説明する。

【0094】

予め、全てのプレート線は0V (GND) にイコライズされている。次に、メモリセルMC1が接続されているワード線WL<2>に対応したロウアドレスRow Add.<2>が選択されてワード線WL<2>がVPP電位に昇圧され、メモリセルMC1の選択動作が開始される。

【0095】

一方、制御信号線EQLが“L”に下降し、この後、制御信号TestBLが“H”に上昇する。この場合、ビット線BL<1>に対応したカラムアドレスCol Add.<1>が選択されることにより、ビット線BL<1>に正極性の電位VTestBLが出力される。なお、制御信号線EQL、制御信号TestBL及び電位VTestBL等については後に説明する。

【0096】

制御信号TestBLが“H”に上昇してから所定の時間の後に、制御信号TestBLが“L”に下がり、ビット線BL<1>の電位が0V (GND) に低下する。また、制御信号TestBLが“L”に下がった後に、ワード線WL<2>の電位が0V (GND) に低下してメモリセルMC1の選択動作が終了する。その後、図1に示すテストシーケンス中の(6)以降のステップが実行される。

【0097】

この場合、メモリセルMC1が接続されているビット線BL<1>の電位は0V (GND) から正極性の電位VTestBLに上昇する。全てのプレート線は0V (GND) にされているので、選択されたメモリセルMC1内のセルキャパシタには、図10中に示すように、プレート線PL<2>側の電極が(－)、セルトランジスタ側の電極が(＋)となるような電位差VTestBLが印加される。このような電位差がセルキャパシタに印加されることで、メモリセルMC1の分極量は、短時間でデポラリゼーションが起こった後と等しい分極量となる。従って、この後のステップでメモリセルMC1からデータの読み出しを行う際に、分極量を短時間で評価することができる。

【0098】

なお、この第3の実施の形態では、制御信号TestBLが“L”に低下した後に、

ワード線WL<2>の電位が0V (GND) に低下し、メモリセルMC1の選択動作が終了する場合を説明した。しかし、図11中に破線で示すように、制御信号TestBLが“L”に低下した後もワード線WL<2>の電位をVPPに保ったまま、引き続きメモリセルMC1からデータの読み出しを行うようにしてもよい。

【0099】

また、ビット線BL<1>に正極性の電位VTestBLを印加する際に、電位VTestBLを定常的に印加する場合を説明したが、これは電位VTestBLをパルス状に複数回連続して印加するようにしてもよい。この場合、セルキャパシタの両電極間には、電位差VTestBLが複数回連続して印加されることになる。

【0100】

(第4の実施の形態)

図12は第4の実施の形態による強誘電体メモリのセルアレイの一部の構成を示している。このセルアレイは、図7に示した第1の実施の形態のものと同様に構成されている。

【0101】

第1ないし第3の各実施の形態では、予め“1”もしくは“0”のデータが書き込まれた特定の1個のメモリセルからデータを読み出す前に、抗電圧の絶対値よりも小さな電位差をメモリセルに対して印加する場合を説明した。これに対して、第4の実施の形態では、セルアレイ内の全てのメモリセルに対して予め“1”のデータが書き込まれており、これらのメモリセルに対して、分極を弱めるようにプレート線からビット線に向けた電界の方向で抗電圧の絶対値よりも小さな電位差を印加するようにしたものである。

【0102】

次に、図13のタイミングチャートを参照して動作を説明する。

【0103】

制御信号PLENABLEが“L”から“H” (VDD) に上昇し、プレート線を駆動する準備が行われる。制御信号PLENABLEが“H”に上昇した後、プレート線を駆動すべく制御信号PLONが一旦、“H”に上昇する。また、イコライズ制御線EQLは“H” (VDD) にされているため、図4に示すビット線イコライズ/プリチャージ回

路11内のNMOSトランジスタ17、18、19が導通し、全てのビット線は0V（GND）にイコライズされている。

【0104】

次に、制御信号PLONが“L”に下降し、制御信号/TestPLが“L”に下降する。また、ロウアドレスを切り替えることにより、複数のワード線がワード線WL<0>から順次選択され、選択されたワード線がVPP電位に昇圧される。ロウアドレス<0>が選択され、制御信号/TestPLが“L”に下降することによりプレート線PL<0>に正極性の電位VTestPLが出力される。

【0105】

制御信号/TestPLが“L”に下降してから所定の時間の後に、制御信号/TestPLが“H”に上昇し、これに伴ってプレート線PL<0>の電位が0V（GND）に下降する。また、制御信号/TestPLが“H”に上昇した後にワード線WL<0>の電位が0V（GND）に低下し、さらに制御信号PLONが“H”に上昇する。このようにして最初のロウ<0>の選択動作が行われる。ワード線WL<0>が選択されている際に、対応する行のプレート線PL<0>の電位が0V→VTestPL→0Vと変化するので、ワード線WL<0>とプレート線PL<0>とに接続されている全てのメモリセルに対し、図12中に示すように、プレート線PL<0>側が（+）、セルトランジスタ側が（-）となるような電位差VTestPLが並列的に印加される。この電位差VTestPLは図2（a）で説明した抗電圧の絶対値よりも小さな電位差 ΔV に相当する。この電位差が1行分のメモリセルのセルキャパシタに印加され、プレート線の電位が0Vに戻ることで、これら各メモリセルの分極量はそれぞれ、図2（a）に示したように短時間でデポラリゼーションが起こった後と等しい分極量となる。

【0106】

以下、同様に、異なる行のワード線が選択されている際に、対応する行のプレート線の電位が0V→VTestPL→0Vと変化し、対応する行内の全てのメモリセルに対し、図12中に示すように、プレート線PL<0>側が（+）、セルトランジスタ側が（-）となるような電位差VTestPLが並列的に印加される。

【0107】

従って、上記電位差VTestPLが印加された後に、各メモリセルからデータの読

み出しを行う際に、それぞれの分極量を短時間で評価することができる。

【 0 1 0 8 】

なお、この実施の形態の場合にも、第 1 ないし第 3 の各実施の形態の場合と同様に、各プレート線に正極性の電位 VTestPL を印加する際に、電位 VTestPL をパルス状に複数回連続して印加することで、各セルキャパシタの両電極間に電位差 VTestPL を複数回連続して印加するようにしてもよい。

【 0 1 0 9 】

(第 5 の実施の形態)

上記第 4 の実施の形態では、セルアレイ内の全てのメモリセルを選択し、各プレート線に電位 VTestPL を印加する場合に、ロウアドレスを切り替えて複数のワード線及びプレート線を順次選択するようにした。

【 0 1 1 0 】

これに対して、第 5 の実施の形態では複数のワード線及びプレート線を同時に選択するようにしたものである。

【 0 1 1 1 】

以下、図 1 4 のタイミングチャートを参照して動作を説明する。この場合、制御信号 EQL は “H” (VDD) に固定されているため、全てのビット線は 0V (GND) にイコライズされている。制御信号 PLENABLE が “L” から “H” (VDD) に上昇し、プレート線を駆動する準備がなされる。引き続き制御信号 PLENBLE が “H” に上昇し、ノーマルモードとしてのプレート線駆動の準備が一旦は行われる。

【 0 1 1 2 】

次に、制御信号 PLON が “L” に下降し、この後、制御信号 /TestPL が “L” に下降することにより、テストモードとしてのプレート線の駆動が行われ、全ロウアドレスが選択されることにより全てのプレート線 PL<n> に対し一斉に正極性の電位 VTestPL が出力される。また、全てのワード線 WL<n> (n=0,1,2,3…) が VPP 電位に昇圧される。

【 0 1 1 3 】

次に、制御信号 /TestPL が “L” に下降してから所定の時間の後に、制御信号 /TestPL が “H” に上昇し、これに伴って全てのプレート線 PL<n> の電位が一斉に 0V

(GND) に低下する。また、制御信号/TestPLが“H”に上昇した後に、全てのロウアドレスの選択が解除されて、全てのワード線WL<n>の電位が0V (GND) に低下し、その後、制御信号PLONが“H”に上昇する。

【0 1 1 4】

このようにして全てのワード線が同時に選択され、全てのプレート線の電位が0V→VTestPL→0Vと変化する。この結果、全てのメモリセルに対し、図12中に示すように、プレート線側が(+)、セルトランジスタ側が(-)となるような電位差VTestPLが印加される。この電位差が各メモリセルのセルキャパシタに印加されることで、これら各メモリセルの分極量はそれぞれ、図2(a)に示したように短時間でデポラリゼーションが起こった後と等しい分極量となる。

【0 1 1 5】

この第5の実施の形態では、複数のワード線及びプレート線が同時に選択されるので、テスト時間の一層の短縮化を図ることができる。

【0 1 1 6】

なお、この実施の形態の場合にも、第1ないし第4の各実施の形態の場合と同様に、各プレート線に正極性の電位VTestPLを印加する際に、電位VTestPLをパルス状に複数回連続して印加することで、各セルキャパシタの両電極間に電位差VTestPLを複数回連続して印加するようにしてもよい。

【0 1 1 7】

(第6の実施の形態)

図15は第6の実施の形態による強誘電体メモリのセルアレイの一部の構成を示している。このセルアレイは、図11に示した第1の実施の形態のものと同様に構成されている。

【0 1 1 8】

第4及び第5の各実施の形態では、全てのメモリセルに対して予め“1”のデータが書き込まれており、これらのメモリセルに対し、プレート線からビット線に向いた電界でかつ抗電圧の絶対値よりも小さな電位差を印加するようにしていた。

【0 1 1 9】

これに対し、第6の実施の形態では、全てのメモリセルに対して予め“0”のデータが書き込まれており、これらのメモリセルに対し、ビット線からプレート線に向いた電界でかつ抗電圧の絶対値よりも小さな電位差を印加するようにしたものである。

【0120】

次に、図16のタイミングチャートを参照して動作を説明する。

【0121】

この場合、予め全てのプレート線は0V (GND) にイコライズされている。

【0122】

また、カラムアドレスを切り替えることにより、複数のビット線が選択され、選択されたビット線に対して、0V→VTestBL→0Vと変化するように電位が印加される。

【0123】

奇数番目の列のビット線BL<n>が選択される際には偶数番目の行のワード線WL<1>が選択されてその電位がVPPに昇圧され、偶数番目の列のビット線BL<n+1>が選択される際には奇数番目の行のワード線WL<1+1>が選択されてその電位がVPPに昇圧される。

【0124】

例えば、奇数番目の列のビット線BL<1>が選択される際に偶数番目の行のワード線WL<0>、WL<2>、WL<4>、WL<6>が全て選択され、図15に示すようにそれぞれの交点に配置された各メモリセルMC2、MC3、MC4それぞれに対し、プレート線側が(－)、セルトランジスタ側が(＋)となるような電位差VTestBLが印加される。

【0125】

各メモリセルに電位差VTestBLが印加されることで、これら各メモリセルの分極量はそれぞれ、短時間でデポラリゼーションが起こった後と等しい分極量となる。従って、上記電位差VTestBLが印加された後に、各メモリセルからデータの読み出しを行う際に、それぞれの分極量を短時間で評価することができる。

【0126】

なお、この実施の形態の場合にも、第1ないし第5の各実施の形態の場合と同様に、各ビット線に正極性の電位VTestBLを印加する際に、電位VTestBLをパルス状に複数回連続して印加することで、各セルキャパシタの両電極間に電位差VTestBLを複数回連続して印加するようにしてもよい。

【0127】

(第7の実施の形態)

上記第6の実施の形態では、セルアレイ内の全てのメモリセルを選択し、各ビット線に電位VTestBLを印加する場合に、ロウアドレス及びカラムアドレスを切り替えて複数のワード線及びビット線を順次選択するようにしていた。

【0128】

これに対して、第7の実施の形態では全てのワード線及びビット線を同時に選択するようにしたものである。

【0129】

以下、図17のタイミングチャートを参照して動作を説明する。

【0130】

第6の実施の形態と同様に、予め全てのプレート線は0V (GND) にイコライズされている。また、ロウアドレスは全てが選択状態にされる。これにより、全てのワード線WL<x>がVPP電位に昇圧される。

【0131】

一方、制御信号線EQLが“L”に下降し、この後、制御信号TestBLが“H”に上昇することにより、全てのビット線BL<x>に一齐に正極性の電位VTestBLが出力される。

【0132】

制御信号TestBLが“H”に上昇してから所定の時間の後に、制御信号TestBLが“L”に下降し、これに伴って全てのビット線BL<x>の電位が一齐に0V (GND) に低下する。また、制御信号TestBLが“L”に下降した後に全てのワード線WL<x>の電位が0V (GND) に低下し、さらに制御信号線EQLが“H”に上昇する。

【0133】

このようにして全てのワード線WL<x>が同時に選択され、全てのワード線WL<x>

が選択されている際に、全てのビット線BL<x>の電位が0V→VTestBL→0Vと変化する。この結果、例えばビット線BL<1>に接続されているメモリセルMC1～MC4を含む全てのメモリセルに対し、図15中に示すように、プレート線側が（－）、セルトランジスタ側が（＋）となるような電位差VTestBLが印加される。この電位差が各メモリセルのセルキャパシタに印加されることで、これら各メモリセルの分極量はそれぞれ短時間でデポラリゼーションが起こった後と等しい分極量となる。

【0134】

この第7の実施の形態では、全てのワード線及びビット線が同時に選択されるので、テスト時間の一層の短縮化を図ることができる。

【0135】

なお、この実施の形態の場合にも、第1ないし第6の各実施の形態の場合と同様に、各ビット線に電位VTestBLを印加する際に、電位VTestBLをパルス状に複数回連続して印加することで、各セルキャパシタの両電極間に電位差VTestBLを複数回連続して印加するようにしてもよい。

【0136】

（第8の実施の形態）

ところで、強誘電体メモリのテストを行う場合、“1”、“0”のデータが市松状に配置されたいわゆるチェッカーパターン（Checker Pattern）がメモリセルに書き込まれることがある。第8の実施の形態は、このようなチェッカーパターンが書き込まれた強誘電体メモリにおいて、“1”のデータが書き込まれたメモリセルに対して抗電圧の絶対値よりも小さな電位差を印加するようにしたものである。

【0137】

例えば、図18に示すように、ワード線WL<3>に接続された複数のメモリセルのうち、ビット線BL<0>、BL<4>に接続されているメモリセルMC1、MC2には“1”のデータが、ビット線BL<2>に接続されているメモリセルMC3には“0”のデータがそれぞれ書き込まれており、図19に示すように、ワード線WL<4>に接続された複数のメモリセルのうち、ビット線BL<3>に接続されているメモリセルMC4には

“1”のデータが、ビット線BL<1>に接続されているメモリセルMC5には“0”のデータがそれぞれ書き込まれているとする。

【0138】

以下、図20のタイミングチャートを参照してその動作を説明する。

【0139】

図20に示すように、予め全てのビット線及びプレート線はそれぞれ0V (GND) にイコライズされている。そして、ロウアドレスが順次選択される。例えばロウアドレスRow.Add.<3>が選択されて、対応するワード線WL<3>の電位がVPP電位に昇圧されているときに、制御信号/TestPLに同期してプレート線PL<3>が0V→VTestPL→0Vと変化する。これにより、図18中に示されているそれぞれ“1”のデータが書き込まれているメモリセルMC1、MC2に対し、プレート線PL<3>側が(+)、セルトランジスタ側が(-)となるような電位差VTestPLが並列的に印加される。この電位差VTestPLは図2(a)で説明した抗電圧の絶対値よりも小さな電位差に相当する。この電位差がメモリセルMC1、MC2の各セルキャパシタに印加されることで、これらメモリセルの分極量はそれぞれ短時間でデポラリゼーションが起こった後と等しい分極量となる。

【0140】

一方、ワード線WL<3>が選択されているとき、このワード線WL<3>に接続されており、“0”のデータが書き込まれているメモリセルMC3には、先に述べたようなディスタ urb がかかる。そこで、このようなディスタ urb を防ぐために、図20に示すように、プレート線PL<3>の電位を0V→VTestPL→0Vと変化させるのに同期して、ビット線BL<2>の電位を0V→VTestBL (=VTestPL) →0Vと変化させる。これにより、メモリセルMC3が接続されているプレート線PL<3>とビット線BL<2>との間には実質的に電位差が印加されなくなり、メモリセルMC3にディスタ urb がからなくなる。

【0141】

次に、例えばロウアドレスRow.Add.<4>が選択されて、対応するワード線WL<4>の電位がVPPに昇圧されているときに、制御信号/TestPLに同期してプレート線PL<4>が0V→VTestPL→0Vと変化する。これにより、図19中に示されている“1”

のデータが書き込まれているメモリセルMC4に対し、プレート線PL<4>側が（＋）、セルトランジスタ側が（－）となるような電位差VTestPLが印加される。この電位差VTestPLは図2（a）で説明した抗電圧の絶対値よりも小さな電位差に相当する。この電位差がメモリセルMC4のセルキャパシタに印加されることで、メモリセルMC4の分極量は短時間でデポラリゼーションが起こった後と等しい分極量となる。

【0142】

一方、ワード線WL<4>が選択されているとき、このワード線WL<4>に接続されて、“0”のデータが書き込まれているメモリセルMC5については、図20に示すように、プレート線PL<4>の電位を0V→VTestPL（=VTestPL）→0Vと変化させるのに同期してビット線BL<1>の電位を0V→VTestBL→0Vと変化させる。これにより、上記の場合と同様にメモリセルMC5にディスタurbがかからなくなる。

【0143】

なお、この実施の形態の場合にも、第1ないし第7の各実施の形態の場合と同様に、各プレート線に電位VTestPLを印加する際に、電位VTestPLをパルス状に複数回連続して印加することで、各セルキャパシタの両電極間に電位差VTestPLを複数回連続して印加するようにしてもよい。

【0144】

（第9の実施の形態）

第9の実施の形態は、上記チェッカーパターンが書き込まれた強誘電体メモリにおいて、“0”のデータが書き込まれたメモリセルに対して抗電圧以下の電位差を印加するようにしたものである。

【0145】

例えば、図21及び図22に示すように、ビット線BL<1>に接続された複数のメモリセルのうちワード線WL<0>、WL<4>に接続されているメモリセルMC1、MC2、及びビット線BL<2>に接続された複数のメモリセルのうちワード線WL<3>に接続されているメモリセルMC3にそれぞれ“0”のデータが書き込まれているとする。

【0146】

以下、図23のタイミングチャートを参照してその動作を説明する。

【 0 1 4 7 】

図 2 3 に示すように、予め全てのプレート線は 0V (GND) にイコライズされている。そして、カラムアドレスが順次選択される。例えばカラムアドレス Col.Add.<1>が選択されて、対応するビット線 BL<1>の電位が 0V→VTestBL→0V と変化する。また、カラムアドレス Col.Add.<1>が選択されるときは、ロウアドレス Row.Add.<0>、<4>、<8>、…が選択されて、対応するワード線 WL<0>、WL<4>、WL<8>…の電位が VPP に昇圧される。これにより、図 2 1 中に示されているそれぞれ “0” のデータが書き込まれているメモリセル MC1、MC2 に対し、プレート線側が (－)、セルトランジスタ側が (+) となるような電位差 VTestBL が並列的に印加される。この電位差 VTestBL は図 2 で説明した抗電圧の絶対値よりも小さな電位差に相当する。この電位差が各メモリセル MC1、MC2 のセルキャパシタに印加されることで、これら各メモリセルの分極量はそれぞれ短時間でデポラリゼーションが起こった後と等しい分極量となる。

【 0 1 4 8 】

次に、例えばカラムアドレス Col.Add.<2>が選択されて、対応するビット線 BL<2>の電位が 0V→VTestBL→0V と変化する。また、カラムアドレス Col.Add.<2>が選択されるときは、ロウアドレス Row.Add.<3>、<7>、<11>、…が選択されて、対応するワード線 WL<3>、WL<7>、WL<11>…の電位が VPP 電位に昇圧される。これにより、図 2 2 中に示されている “0” のデータが書き込まれているメモリセル MC3 に対し、各プレート線側が (－)、セルトランジスタ側が (+) となるような電位差 VTestBL が印加される。この電位差が各メモリセル MC3 のセルキャパシタに印加されることで、メモリセルの分極量はそれぞれ短時間でデポラリゼーションが起こった後と等しい分極量となる。

【 0 1 4 9 】

なお、この実施の形態の場合にも、第 1 ないし第 8 の各実施の形態の場合と同様に、各ビット線に電位 VTestBL を印加する際に、電位 VTestBL をパルス状に複数回連続して印加することで、各セルキャパシタの両電極間に電位差 VTestBL を複数回連続して印加するようにしてもよい。

【 0 1 5 0 】

(第 1 0 の実施の形態)

図 2 4 は、図 6 に示す T C 並列ユニット直列接続型強誘電体メモリのセルアレイの一部の構成を示している。図 2 4 にはそれぞれ複数本のビット線、プレート線、ワード線及びブロック選択線が設けられており、そのうち 4 本のビット線 BL<0>～BL<3>、2 本のプレート線 PL<0>、PL<1>、4 本のワード線 WL<0>～WL<3>及び 2 本のブロック選択線 BS<0>、BS<1>が例示されている。

【 0 1 5 1 】

ここで、図 1 に示すテストシーケンス中の(5)のステップにおいて、強誘電体キャパシタに対して抗電圧の絶対値よりも小さな電位差を印加することは、各メモリブロックにおいて、選択されるユニットセル（メモリセル）のセルトランジスタを非導通とし、かつ非選択のユニットセルのセルトランジスタを全て導通させ、メモリブロックに接続されているプレート線とビット線とにそれぞれ所定の電位を加えることで実現できる。

【 0 1 5 2 】

例えば、図 2 4 中、プレート線 PL<0>とビット線 BL<2>とに接続されたメモリブロック内に設けられ、かつワード線 WL<1>に接続されているメモリセル MC1 には予め“1”のデータが書き込まれており、このメモリセル MC1 に書き込まれているデータを読み出す前に、抗電圧の絶対値よりも小さな電位差を印加するテストモード時の動作を図 2 5 のタイミングチャートを参照して説明する。

【 0 1 5 3 】

予めプレート線 PL<0>、PL<1>は 0V (GND) にイコライズされている。

【 0 1 5 4 】

制御信号 PLON が“L”に下がり、ロウアドレス Row.Add.<1>が選択されることで、予め VPP 電位に昇圧されていたワード線 WL<1>の電位が 0V (GND) に低下する。なお、これよりも前では全てのワード線の電位は VPP 電位に昇圧されている。

【 0 1 5 5 】

次に、ブロック選択線 BS<0>が選択されて、ビット線 BL<0>、BL<1>に接続されているブロック選択用の NMOS トランジスタ 34 が導通する。ブロック選択線 BS<0>が“H” (VPP) に上昇した後に、制御信号/TestPL が“L”に下降するのに伴って

プレート線PL<0>に正極性の電位VTestPLが出力され、その後、制御信号/TestPLが“H”に上昇するのに伴ってプレート線PL<0>の電位は元の0Vに低下する。このとき、ビット線BL<0>を除くビット線BL<1>～BL<3>は全て0V (GND) にイコライズされている。

【 0 1 5 6 】

プレート線PL<0>の電位が0Vに低下してから、ブロック選択線BS<0>が“L”に低下し、これに伴ってワード線WL<1>の電位がVPPに上昇する。また、ワード線WL<1>がVPPに上昇した後に制御信号PLONが“H”に上昇し、メモリセルMC1の選択動作が終了する。その後、図1に示すテストシーケンス中の(6)以降のステップが実行される。

【 0 1 5 7 】

ところで、ワード線WL<1>が選択されているとき、メモリセルMC1内のセルトランジスタは非導通となり、メモリセルMC1を含むメモリブロック内の他のメモリセルの全てのセルトランジスタは導通状態になっている。また、ワード線WL<1>が選択されているとき、プレート線PL<0>の電位が0V→VTestPL→0Vに変化すると、ビット線BL<2>は0V (GND) にされているので、プレート線PL<0>とビット線BL<2>との間に接続されているメモリブロック内のメモリセルMC1のセルキャパシタには、図24中に示すように、プレート線PL<0>側の電極が(+)、ビット線BL<2>側の電極が(-)となるような電位差VTestPLが印加される。この電位差VTestPLは図2(a)で説明した電位差 $+\Delta V$ に相当する。この電位差がセルキャパシタに印加されることで、メモリセルMC1の分極量は、図2に示したように短時間でデポラリゼーションが起こった後と等しい分極量となる。従って、この後のステップでメモリセルMC1からデータの読み出しを行う際に、分極量を短時間で評価することができる。なお、メモリセルMC1からデータを読み出す際に、メモリセルMC1内のセルキャパシタには上記電位差VTestPLよりも大きな抗電圧以上の電位差が印加される。この電位差は図1中のシーケンスのステップ(4)における逆データパターンの書き込み時と同じ電位差でよい。

【 0 1 5 8 】

ところで、メモリセルMC1に対して上記電位差VTestPLが印加される際に、上記

メモリセルMC1と同じワード線WL<1>に接続されており、プレート線PL<0>とビット線BL<0>との間に接続されているメモリブロック内のメモリセルMC2に対しても同様の向きで電位差VTestPLが印加される。すなわち、非選択のメモリセルメモリセルMC2にディスターブがかかる。

【 0 1 5 9 】

そこで、この実施の形態では、図 2 5 に示すように、プレート線PL<0>の電位を0V→VTestPL→0Vと変化させるのに同期して、ビット線BL<0>の電位を0V→VTestBL (=VTestPL) →0Vと変化させる。これにより、メモリセルMC2のセルキャパシタには電位差VTestPLが実質的に印加されなくなり、メモリセルMC2にディスターブがかからなくなる。

【 0 1 6 0 】

なお、この第 1 0 の実施の形態では、ブロック選択線BS<0>が“L”に低下した後、ワード線WL<1>の電位がVPPに上昇して、メモリセルMC1の選択動作が終了する場合を説明した。しかし、図 2 5 中に破線で示すように、ブロック選択線BS<0>を“H”に保ち、ワード線WL<1>の電位をGNDに保ったまま、引き続きメモリセルMC1からデータの読み出しを行うようにしてもよい。

【 0 1 6 1 】

また、プレート線PL<0>に正極性の電位VTestPLを印加する際に、電位VTestPLを定常的に印加する場合を説明したが、これは電位VTestPLをパルス状に複数回連続して印加するようにしてもよい。この場合、セルキャパシタの両電極間には、電位差VTestPLが複数回連続して印加されることになる。

【 0 1 6 2 】

(第 1 1 の実施の形態)

図 2 6 は第 1 1 の実施の形態による強誘電体メモリのセルアレイの一部の構成を示している。このセルアレイは、図 2 4 に示した第 1 0 の実施の形態のものと同様に構成されている。

【 0 1 6 3 】

第 1 0 の実施の形態では、予め“1”のデータが書き込まれたメモリセルからデータを読み出す前に、抗電圧の絶対値よりも小さな電位差をこのメモリセルに

対して印加する場合について説明した。これに対し、第 1 1 の実施の形態では、予め“0”のデータが書き込まれたメモリセルに対して抗電圧の絶対値よりも小さな電位差を印加するようにしたものである。

【 0 1 6 4 】

次に、例えば、図 2 6 中のプレート線 PL<0>とビット線 BL<2>との間に接続されたメモリブロック内に設けられており、かつワード線 WL<1>に接続されているメモリセル MC1 に予め“0”のデータが書き込まれており、このメモリセル MC1 に書き込まれているデータを読み出す前に、抗電圧の絶対値よりも小さな電位差を印加する際の動作を図 2 7 のタイミングチャートを参照して説明する。

【 0 1 6 5 】

予めプレート線 PL<0>は 0V (GND) にイコライズされている。まず、制御信号線 EQL が“L”に下降する。この後、ワード線 WL<1>に対応したロウアドレス Row Add.<1>が選択されることにより、予め VPP 電位に昇圧されていたワード線 WL<1>の電位が 0V (GND) に低下する。

【 0 1 6 6 】

次に、ブロック選択線 BS<0>が選択されて、ビット線 BL<0>、BL<2>に接続されているブロック選択用の NMOS トランジスタ 34 が導通する。ブロック選択線 BS<0>が“H”に上昇した後に、制御信号 TestBL が“H”に上昇するのに伴いビット線 BL<2>に正極性の電位 VTestBL が出力され、制御信号 TestBL が“L”に低下した後に、ビット線 BL<2>の電位は元の 0V に低下する。このとき、ビット線 BL<2>を除く他のビット線は全て 0V (GND) にイコライズされている。

【 0 1 6 7 】

制御信号 TestBL が“L”に低下するのに伴いビット線 BL<2>の電位が 0V に低下してから、ブロック選択線 BS<0>が“L”に低下し、これに伴ってワード線 WL<1>の電位が元の VPP に戻る。さらに、制御信号線 EQL が“H”に上昇し、メモリセル MC1 の選択動作が終了する。その後、図 1 に示すテストシーケンス中の(6)以降のステップが実行される。

【 0 1 6 8 】

ところで、ワード線 WL<1>が選択されているとき、メモリセル MC1 のセルトラン

ジスタは非導通となり、メモリセルMC1を含むメモリブロック内の他の全てのメモリセルの各セルトランジスタは導通状態になっている。また、ワード線WL<1>が選択されているとき、ビット線BL<2>の電位が $0V \rightarrow V_{TestBL} \rightarrow 0V$ に変化すると、プレートPL<0>は $0V$ (GND) にされているので、プレート線PL<0>とビット線BL<2>との間に接続されているメモリブロック内のメモリセルMC1のセルキャパシタには、図26中に示すように、プレート線PL<0>側の電極が(−)、ビット線BL<2>側の電極が(+)となるような電位差 V_{TestBL} が印加される。この電位差 V_{TestBL} は図2(a)で説明した抗電圧の絶対値よりも小さい。この電位差がセルキャパシタに印加されることで、メモリセルMC1の分極量は短時間でデポラリゼーションが起こった後と等しい分極量となる。従って、この後のステップでメモリセルMC1からデータの読み出しを行う際に、分極量を短時間で評価することができる。

【0169】

なお、この第11の実施の形態では、ブロック選択線BS<0>が“L”に低下した後、ワード線WL<1>の電位が V_{PP} に上昇して、メモリセルMC1の選択動作が終了する場合を説明した。しかし、図27中に破線で示すように、ブロック選択線BS<0>を“H”に保ちながらワード線WL<1>の電位をGNDに保ち、引き続きメモリセルMC1からデータの読み出しを行うようにしてもよい。

【0170】

また、ビット線BL<2>に正極性の電位 V_{TestBL} を印加する際に、電位 V_{TestBL} を定常的に印加する場合を説明したが、これは電位 V_{TestBL} をパルス状に複数回連続して印加するようにしてもよい。この場合、セルキャパシタの両電極間には、電位差 V_{TestBL} が複数回連続して印加されることになる。

【0171】

(第12の実施の形態)

図28は第12の実施の形態による強誘電体メモリのセルアレイの一部の構成を示している。このセルアレイは、図24に示した第10の実施の形態のものと同様に構成されている。

【0172】

第10及び第11の各実施の形態では、TC並列ユニット直列接続型強誘電体メモリにおいて、予め“1”もしくは“0”のデータが書き込まれた特定の1個のメモリセルからデータを読み出す前に、抗電圧の絶対値よりも小さな電位差をメモリセルに対して印加する場合を説明した。これに対して、第12の実施の形態では、セルアレイ内の全てのメモリセルに対して予め“1”のデータが書き込まれており、これらのメモリセルに対し、分極を弱める向きの電界でかつ抗電圧の絶対値よりも小さな電位差を印加するようにしたものである。

【0173】

次に、図29のタイミングチャートを参照して動作を説明する。

【0174】

予め全てのビット線は0V (GND) にイコライズされている。また、予め全てのワード線はVPP電位に昇圧されている。この状態でロウアドレスが順次選択され、複数のワード線の電位が、ワード線WL<0>から順次VPPから0Vに低下する。そして、各ワード線の電位が0Vになっているワード線の選択期間に、ブロック選択線BS<0,1> (ただし、BS<0,1>はBS<0>とBS<1>を表す) が共に“H”となり、各ビット線に接続されているブロック選択用のNMOSトランジスタ34が全て導通する。さらに、各ワード線の選択期間に、全てのプレート線PL<0,1> (ただし、PS<0,1>はPS<0>とPS<1>を表す) の電位が0V→VTestPL→0Vに変化する。

【0175】

例えば、ワード線WL<1>の選択期間では、図28に示すように、各メモリブロックにおいてゲート電極がワード線WL<1>に接続されている全てのメモリセルMC1、MC2、MC3、MC4内のスイッチ31が非導通状態となる。このとき、他のメモリセル内のセルトランジスタは導通状態となり、メモリセルMC1、MC2、MC3、MC4の各セルキャパシタには、図28中に示すように、プレート線PL<0,1>側の電極が(+)、ビット線側の電極が(-)となるような電位差VTestPLが印加される。この電位差VTestPLは図2(a)で説明した抗電圧の絶対値よりも小さい。この電位差がセルキャパシタに印加されることで、メモリセルMC1、MC2、MC3、MC4の各分極量は短時間でデポラリゼーションが起こった後と等しい分極量となる。従って、この後のステップで各メモリセルMC1、MC2、MC3、MC4からデータの読み

出しを行う際に、分極量を短時間で評価することができる。

【0176】

なお、この第12の実施の形態では、プレート線 $PL<0,1>$ に正極性の電位 V_{TestPL} を印加する際に、電位 V_{TestPL} を定常的に印加する場合を説明したが、これは電位 V_{TestPL} をパルス状に複数回連続して印加するようにしてもよい。この場合、セルキャパシタの両電極間には、電位差 V_{TestPL} が複数回連続して印加されることになる。

【0177】

(第13の実施の形態)

図30は第13の実施の形態による強誘電体メモリのセルアレイの一部の構成を示している。このセルアレイは、図26に示した第11の実施の形態のものと同様に構成されている。

【0178】

第12の実施の形態では、全てのメモリセルに対して予め“1”のデータが書き込まれており、これらのメモリセルに対し、プレート線からビット線方向の電界を有し、抗電圧の絶対値よりも小さな電位差を印加するようにしていた。

【0179】

これに対し、第13の実施の形態では、全てのメモリセルに対して予め“0”のデータが書き込まれており、これらのメモリセルに対し、ビット線からプレート線方向の電界を有し、抗電圧の絶対値よりも小さな電位差を印加するようにしたものである。

【0180】

次に、図31のタイミングチャートを参照して動作を説明する。

【0181】

予め全てのプレート線 $PL<0,1>$ は0V (GND) にイコライズされている。また、予め全てのワード線はVPP電位に昇圧されている。この状態でロウアドレスが順次選択され、複数のワード線の電位が、ワード線 $WL<0>$ から順次、VPPから0Vに低下する。そして、各ワード線の電位が0Vになっているワード線を選択期間に、ブロック選択線 $BS<0,1>$ が“H”となり、各ビット線に接続されているブロック選択用

のNMOSトランジスタ34が全て導通する。さらに、各ワード線の選択期間に、全てのカラムアドレスが選択され、全てのビット線BL<0,1,2,3>の電位が0V→VTestBL→0Vに変化する。

【0182】

例えば、ワード線WL<1>の選択期間では、図30に示すように、各メモリブロックにおいてゲート電極がワード線WL<1>に接続されている全てのメモリセルMC1、MC2、MC3、MC4内のセルトランジスタが非導通状態となる。このとき、他のメモリセル内のセルトランジスタは導通状態となり、メモリセルMC1、MC2、MC3、MC4の各セルキャパシタには、図30中に示すように、プレート線PL<0,1>側の電極が（－）、ビット線側の電極が（＋）となるような電位差VTestBLが印加される。この電位差VTestBLは図2（a）で説明した抗電圧の絶対値よりも小さい。この電位差がセルキャパシタに印加されることで、メモリセルMC1、MC2、MC3、MC4の各分極量は短時間でデポラリゼーションが起こった後と等しい分極量となる。従って、この後のステップで各メモリセルMC1、MC2、MC3、MC4からデータの読み出しを行う際に、分極量を短時間で評価することができる。

【0183】

なお、この第13の実施の形態では、ビット線BL<0,1>に正極性の電位VTestBLを印加する際に、電位VTestBLを定常的に印加する場合を説明したが、これは電位VTestBLをパルス状に複数回連続して印加するようにしてもよい。この場合、セルキャパシタの両電極間には、電位差VTestBLが複数回連続して印加されることになる。

【0184】

（第14の実施の形態）

第14の実施の形態は、図26に示した第11の実施の形態のものと同様の構成のセルアレイを有するTC並列ユニット直列接続型強誘電体メモリにおいて、“1”、“0”のデータが市松状に配置されたいわゆるチェッカーパターンが書き込まれた強誘電体メモリにおいて、“1”のデータが書き込まれたメモリセルに対し、プレート線からビット線向きの電界で、抗電圧の絶対値よりも小さな電位差を印加するようにしたものである。

【 0 1 8 5 】

例えば、図 3 2 に示すように、ワード線WL<1>に接続された複数のメモリセルのうち、ビット線BL<0>、BL<2>に接続されているメモリブロック内のメモリセルMC1、MC2には“1”のデータが、ビット線BL<1>、BL<3>に接続されているメモリブロック内のメモリセルには“0”のデータがそれぞれ書き込まれており、図 3 3 に示すように、ワード線WL<2>に接続された複数のメモリセルのうち、ビット線BL<1>、BL<3>に接続されているメモリブロック内のメモリセルMC3、MC4には“1”のデータが、ビット線BL<0>、BL<2>に接続されているメモリブロック内のメモリセルには“0”のデータがそれぞれ書き込まれているとする。

【 0 1 8 6 】

以下、図 3 4 のタイミングチャートを参照してその動作を説明する。

【 0 1 8 7 】

予め全てのビット線及びプレート線はそれぞれ0V (GND) にイコライズされている。また、予め全てのワード線はVPP電位に昇圧されている。この状態でロウアドレスが順次選択され、複数のワード線の電位が、ワード線WL<0>から順次VPPから0Vに低下する。そして、例えば、ワード線WL<1>の電位が0Vになっているワード線WL<1>の選択期間に、ブロック選択線BS<0>が所定の期間“H”となり、ビット線BL<0>、BL<2>に接続されているブロック選択用のNMOSトランジスタ34が導通する。さらに、ワード線WL<1>の選択期間に、プレート線PL<0>の電位が0V→VTestPL→0Vに変化する。

【 0 1 8 8 】

ワード線WL<1>の選択期間では、ゲート電極がワード線WL<1>に接続されているメモリセルMC 1、MC2内のセルトランジスタが非導通状態となる。また、この両メモリセルMC 1、MC2を含むメモリブロック内の他のメモリセルのセルトランジスタは全て導通する。このとき、ブロック選択線BS<1>は“L”であり、ビット線BL<1>、BL<3>に接続されているブロック選択用のNMOSトランジスタ34は非導通状態になるので、メモリセルMC 1、MC2の各セルキャパシタには、図 3 2 中に示すように、プレート線PL<0>側の電極が(+)、ビット線側の電極が(-)となるような電位差VTestPLが印加される。この電位差VTestPLは図 2 (a) で説明した

抗電圧の絶対値よりも小さい。この電位差がセルキャパシタに印加されることで、メモリセルMC1、MC2の各分極量は短時間でデポラリゼーションが起こった後と等しい分極量となる。従って、この後のステップで各メモリセルMC1、MC2からデータの読み出しを行う際に、分極量を短時間で評価することができる。

【0189】

さらに、ワード線WL<2>の電位が0Vになっているワード線WL<2>の選択期間に、ブロック選択線BS<1>が所定の期間“H”となり、ビット線BL<1>、BL<3>に接続されているブロック選択用のNMOSトランジスタ34が導通する。また、ワード線WL<2>の選択期間には、プレート線PL<1>の電位が0V→VTestPL→0Vに変化する。ワード線WL<2>の選択期間では、ゲート電極がワード線WL<2>に接続されているメモリセルMC3、MC4内のセルトランジスタが非導通状態となる。また、この両メモリセルMC3、MC4を含むメモリブロック内の他のメモリセルのセルトランジスタは全て導通する。このとき、ブロック選択線BS<0>は“L”であり、ビット線BL<0>、BL<2>に接続されているブロック選択用のNMOSトランジスタ34は非導通状態になる。

【0190】

以上の動作により、メモリセルMC3、MC4の各セルキャパシタには、図33中に示すように、プレート線PL<1>側の電極が(+)、ビット線側の電極が(-)となるような電位差VTestPLが印加され、先の場合と同様にメモリセルMC3、MC4の各分極量は短時間でデポラリゼーションが起こった後と等しい分極量となる。

【0191】

なお、この第14の実施の形態では、プレート線PL<0>、PL<1>それぞれに正極性の電位VTestPLを印加する際に、電位VTestPLを定常的に印加する場合を説明したが、これは電位VTestPLをパルス状に複数回連続して印加するようにしてもよい。この場合、セルキャパシタの両電極間には、電位差VTestPLが複数回連続して印加されることになる。

【0192】

(第15の実施の形態)

第15の実施の形態は、図26に示した第11の実施の形態のものと同様の構成のセルアレイを有するTC並列ユニット直列接続型強誘電体メモリにおいて、

上記チェッカーパターンの“0”のデータが書き込まれたメモリセルに対し、ビット線からプレート線に向かう電界で、抗電圧の絶対値よりも小さな電位差を印加するようにしたものである。

【0193】

なお、図35に示すように、例えばワード線WL<1>に接続された複数のメモリセルのうち、ビット線BL<1>、BL<3>に接続されているメモリブロック内のメモリセルMC1、MC2には“0”のデータが、ビット線BL<0>、BL<2>に接続されているメモリセルブロック内のメモリセルには“1”のデータがそれぞれ書き込まれており、図36に示すように、ワード線WL<2>に接続された複数のメモリセルのうち、ビット線BL<0>、BL<2>に接続されているメモリセルブロック内のメモリセルMC3、MC4には“0”のデータが、ビット線BL<1>、BL<3>に接続されているメモリセルブロック内のメモリセルには“1”のデータがそれぞれ書き込まれているとする。

【0194】

以下、図37のタイミングチャートを参照してその動作を説明する。

【0195】

予め全てのプレート線及びビット線はそれぞれ0V (GND) にイコライズされている。また、予め全てのワード線はVPP電位に昇圧されている。この状態でロウアドレスが順次選択され、複数のワード線の電位が、ワード線WL<0>から順次VPPから0Vに低下する。そして、例えば、ワード線WL<1>の電位が0Vになっているワード線WL<1>の選択期間に、ブロック選択線BS<1>が所定の期間“H”となり、ビット線BL<1>、BL<3>に接続されているブロック選択用のNMOSトランジスタ34が導通する。さらに、ワード線WL<1>の選択期間に、ビット線BL<1,3>の電位が0V→V_{testBL}→0Vに変化する。

【0196】

ワード線WL<1>の選択期間では、ゲート電極がワード線WL<1>に接続されているメモリセルMC1、MC2内のセルトランジスタが非導通状態となる。また、この両メモリセルMC1、MC2を含むメモリブロック内の他のメモリセルのセルトランジスタは全て導通する。このとき、メモリセルMC1、MC2の各セルキャパシタには

、図 3 5 中に示すように、ビット線BL<1,3>側の電極が(+)、プレート線PL<1>側の電極が(-)となるような電位差VTestBLが印加される。この電位差VTestBLは図 2 (a)で説明した抗電圧の絶対値よりも小さい。この電位差がセルキャパシタに印加されることで、メモリセルMC1、MC2の各分極量は短時間でデポラリゼーションが起こった後と等しい分極量となる。従って、この後のステップで各メモリセルMC1、MC2からデータの読み出しを行う際に、分極量を短時間で評価することができる。

【 0 1 9 7 】

なお、ワード線WL<1>の選択期間では、ブロック選択線BS<0>は“L”であり、ビット線BL<0>、BL<2>に接続されているブロック選択用のNMOSトランジスタ34は非導通状態になるので、上記メモリセルMC1、MC2を含むメモリブロック以外のメモリブロックには、上記電位差VTestBLは印加されない。

【 0 1 9 8 】

さらに、ワード線WL<2>の電位が0Vになっているワード線WL<2>の選択期間に、ブロック選択線BS<0>が所定の期間“H”となり、ビット線BL<0>、BL<2>に接続されているブロック選択用のNMOSトランジスタ34が導通する。また、ワード線WL<2>の選択期間には、ビット線BL<0,2>の電位が0V→VTestBL→0Vに変化する。ワード線WL<2>の選択期間では、ゲート電極がワード線WL<2>に接続されているメモリセルMC3、MC4内のセルトランジスタが非導通状態となる。また、この両メモリセルMC3、MC4を含むメモリブロック内の他のメモリセルのセルトランジスタは全て導通する。このとき、メモリセルMC3、MC4の各セルキャパシタには、図 3 6 中に示すように、ビット線BL<0,2>側の電極が(+)、プレート線PL<0>側の電極が(-)となるような電位差VTestBLが印加される。そして、この電位差がセルキャパシタ32に印加されることで、メモリセルMC3、MC4の各分極量は短時間でデポラリゼーションが起こった後と等しい分極量となる。

【 0 1 9 9 】

なお、ワード線WL<2>の選択期間では、ブロック選択線BS<1>は“L”であり、ビット線BL<1>、BL<3>に接続されているブロック選択用のNMOSトランジスタ34は非導通状態になるので、上記メモリセルMC3、MC4を含むメモリブロック以外のメ

モリブロックには、上記電位差VTestBLは印加されない。

【 0 2 0 0 】

なお、この第 1 5 の実施の形態では、ビット線BL<0,1,2,3>に正極性の電位VTestBLを印加する際に、電位VTestBLを定常的に印加する場合を説明したが、これは電位VTestBLをパルス状に複数回連続して印加するようにしてもよい。この場合、セルキャパシタの両電極間には、電位差VTestBLが複数回連続して印加されることになる。

【 0 2 0 1 】

図 3 8 は、上記各実施の形態の強誘電体メモリにおけるプレート線に対し、通常の動作時に供給されるプレート線電位VPLを生成する電位生成回路50の一例を示している。この電位生成回路50は、図 4 ないし図 6 に示す回路等と共に半導体チップ上に形成されている。

【 0 2 0 2 】

電位生成回路50は、よく知られているバンドギャップ型基準電圧生成回路で生成される温度変化の少ない基準電圧VBGRに基づいて、昇圧電圧VPPよりも低い一定電圧を出力する定電圧出力回路51と、ソースが電圧VPPのノードに接続され、ゲート電極にスタンバイ制御信号/STANDBYが入力されるPMOSトランジスタ52と、上記PMOSトランジスタ52のドレインとプレート線電位VPLのノードとの間にソース・ドレイン間が挿入され、ゲート電極に上記定電圧出力回路51の出力が入力されるNMOSトランジスタ53と、ソースが電圧VPPのノードに接続され、ゲート電極に上記活性化制御信号/ACTIVEが入力されるPMOSトランジスタ54と、上記PMOSトランジスタ54のドレインとプレート線電位VPLのノードとの間にソース・ドレイン間が挿入され、ゲート電極に上記定電圧出力回路51の出力が入力されるNMOSトランジスタ55とを備えている。

【 0 2 0 3 】

NMOSトランジスタ53の素子サイズは比較的小さくされ、NMOSトランジスタ55の素子サイズは比較的大きくされ、NMOSトランジスタ55にはNMOSトランジスタ53よりも大きな電流が流れるようにされている。これに応じて、PMOSトランジスタ52の素子サイズは比較的小さくされ、PMOSトランジスタ54の素子サイズは比較的大

きくされている。

【0204】

ここで、上記各実施の形態の強誘電体メモリがスタンバイ状態のとき、すなわちメモリセルでデータの書き込みまたは読み出しが行われず、低消費電流の状態にさせるときは、スタンバイ制御信号/STANDBYが“L”となる。このとき、PMOSトランジスタ52が導通し、NMOSトランジスタ53を介して比較的小さな電流が流れることで、プレート線電位VPLが生成される。

【0205】

一方、強誘電体メモリが活性状態のとき、すなわちメモリセルでデータの書き込みまたは読み出しが行われるときは、活性化制御信号/ACTIVEが“L”となる。このとき、PMOSトランジスタ54が導通し、NMOSトランジスタ55を介して比較的大きな電流が流れることで、プレート線電位VPLが生成される。このとき、スタンバイ制御信号/STANDBYは“L”のままで、PMOSトランジスタ52は導通状態のままとなり電流が流れ続ける。ただし、このPMOSトランジスタ52とNMOSトランジスタ53とを直列に介して流れる電流の電流量は、PMOSトランジスタ54とNMOSトランジスタ55とを直列に介して流れる電流の電流量に比べれば無視できる程小さい。

【0206】

図39は、上記各実施の形態の強誘電体メモリにおけるプレート線に対し、テストモード時に供給されるテスト用のプレート線電位VTestPLを生成する電位生成回路60の一例を示している。この電位生成回路60は、図4ないし図6に示す回路等と共に半導体チップ上に形成されている。

【0207】

電位生成回路60は、図38中の基準電圧VBGRを用いて生成されるVBGRよりも低い基準電圧VTestREFに基づいて、昇圧電圧VPPよりも低い一定電圧を出力する定電圧出力回路61と、ソースが電圧VPPのノードに接続され、テストモード時に“L”となる制御信号/TestPLがゲート電極に入力されるPMOSトランジスタ62と、上記PMOSトランジスタ62のドレインとプレート線電位VTestPLのノードとの間にソース・ドレイン間が挿入され、ゲート電極に上記定電圧出力回路61の出力が入力されるNMOSトランジスタ63とを備えている。

【 0 2 0 8 】

図 3 9 の電位生成回路60において、制御信号/TestPLが“L”のときにPMOSトランジスタ62が導通し、NMOSトランジスタ63を介して電流が流れ、テスト時のプレート線電位VTestPLが生成される。

【 0 2 0 9 】

図 4 0 は、上記各実施の形態の強誘電体メモリにおけるビット線センスアンプ13を活性化する際に使用される電位VSAを生成する電位生成回路70の一例を示している。この電位生成回路70は、図 4 ないし図 6 に示す回路等と共に半導体チップ上に形成されている。

【 0 2 1 0 】

電位生成回路70の基本的な構成は、図 3 8 に示す電位生成回路50と同様なので、図 3 8 と対応する箇所には同じ符号を付してその説明は省略する。また、この電位生成回路70の基本的な動作も図 3 8 に示す電位生成回路50と同様である。

【 0 2 1 1 】

図 4 1 は、上記各実施の形態の強誘電体メモリにおけるビット線に対し、テスト時に供給されるビット線電位VTestBLを生成する電位生成回路80の一例を示している。この電位生成回路80は、図 4 ないし図 6 に示す回路等と共に半導体チップ上に形成されている。

【 0 2 1 2 】

電位生成回路80の基本的な構成は、図 3 9 に示す電位生成回路60と同様なので、図 3 9 と対応する箇所には同じ符号を付してその説明は省略する。また、この電位生成回路80の基本的な動作も図 3 9 に示す電位生成回路60と同様である。

【 0 2 1 3 】

図 4 2 は、第 1 ないし第 9 の各実施の形態の強誘電体メモリにおけるプレート線PL<x>に電位を出力する電位出力回路100の一例を示している。

【 0 2 1 4 】

また、図 4 3 は、第 1 0 ないし第 1 5 の各実施の形態の強誘電体メモリにおけるプレート線PL<x>に電位を出力する電位出力回路100の一例を示している。

【 0 2 1 5 】

図 4 2 は、図 5 に示すような 1 T-1 C 型のメモリセルを使用した場合の電位出力回路 100 の一例を示している。この電位出力回路 100 はプレート線 PL<x>の本数に対応した数だけ設けられ、図 4 に示す回路等と共に半導体チップ上に形成されている。

【 0 2 1 6 】

電位出力回路 100 は、ロウアドレス Row Add.<x>、制御信号 PLENABLE 及び制御信号 PLON が入力される NAND ゲート回路 101 と、この NAND ゲート回路 101 の出力を順次反転するように直列接続された 2 個の反転回路 102 及び 103 と、図 3 8 の電位生成回路 50 で生成されるプレート線電位 VPL のノードとプレート線 PL<x>との間にソース・ドレイン間が挿入され、ゲート電極に上記反転回路 103 の出力が入力される PMOS トランジスタ 104 と、ロウアドレス Row Add.<x>、制御信号 TestPL 及び制御信号 PLENBLE が入力される NAND ゲート回路 105 と、この NAND ゲート回路 105 の出力を反転する反転回路 106 と、プレート線 PL<x>と図 3 9 の電位生成回路 60 で生成されるプレート線電位 VTestPL のノードとの間にソース・ドレイン間が挿入され、ゲート電極に上記反転回路 106 の出力が入力される NMOS トランジスタ 107 と、制御信号 TestPL 及び制御信号 PLON が入力される NOR ゲート回路 108 と、この NOR ゲート回路 108 の出力を反転する反転回路 109 と、この反転回路 109 の出力、制御信号 PLENB LE 及びロウアドレス Row Add.<x>が入力される NAND ゲート回路 110 と、プレート線 PL<x>と接地電位 GND のノードとの間にソース・ドレイン間が挿入され、ゲート電極に上記 NAND ゲート回路 110 の出力が入力される NMOS トランジスタ 111 とを備えている。

【 0 2 1 7 】

図 4 2 の電位出力回路 100 において、ノーマルモード時には制御信号 PLENABLE 及び制御信号 PLON が共に “H” となり、ロウアドレス Row Add.<x>が選択されることで、NAND ゲート回路 101 の出力が “L”、反転回路 102 の出力が “H”、反転回路 103 の出力が “L” となり、PMOS トランジスタ 104 が導通し、図 3 8 の電位生成回路 50 で生成されるプレート線電位 VPL がプレート線 PL<x>に出力される。すなわち、NAND ゲート回路 101、反転回路 102、103 及び PMOS トランジスタ 104 からなる回路は、ノーマルモード時に、プレート線 PL<x>にロウアドレス Row Add.<x>に応じて

通常のプレート線電位VPLを出力する。

【 0 2 1 8 】

テストモード時に制御信号TestPLが“H”となり、ロウアドレスRow Add.<x>が選択されることで、NANDゲート回路105の出力が“L”、反転回路106の出力が“H”となり、NMOSトランジスタ107が導通し、図 3 9 の電位生成回路60で生成されるプレート線電位VTestPLがプレート線PL<x>に出力される。すなわち、NANDゲート回路105、反転回路106及びNMOSトランジスタ107からなる回路は、テストモード時に、プレート線PL<x>にロウアドレスRow Add.<x>に応じてテスト用のプレート線電位VTestPLを出力する。

【 0 2 1 9 】

さらに、NORゲート回路108、反転回路109、NANDゲート回路110及びNMOSトランジスタ111からなる回路は、ノーマルモード時及びテストモード時に、ロウアドレスRow Add.<x>が非選択とされた後にプレート線PL<x>の電位を0Vにする。

【 0 2 2 0 】

図 4 3 は、図 6 に示すようなTC並列ユニット直列接続型強誘電体メモリで使われる電位出力回路100の一例を示している。この電位出力回路100はプレート線PL<x>の本数に対応した数だけ設けられ、図 4 に示す回路等と共に半導体チップ上に形成されている。

【 0 2 2 1 】

図 4 3 に示す電位出力回路100の回路構成は図 4 2 のものと同じであり、図 4 2 中のロウアドレスRow Add.<x>がブロック選択線BS<x>の信号に置き換わった点のみが異なる。

【 0 2 2 2 】

図 4 4 は、上記各実施の形態の強誘電体メモリにおけるビット線BL<x>に電位を出力する電位出力回路120の一例を示している。この電位出力回路120はビット線BL<x>の本数に対応した数だけ設けられ、図 4 及び図 5 又は図 6 に示す回路等と共に半導体チップ上に形成されている。

【 0 2 2 3 】

電位出力回路120は、カラムアドレスCol Add.<x>、制御信号線/EQLの信号及び

制御信号TestBLが入力されるNANDゲート回路121と、このNANDゲート回路121の出力を反転する反転回路122と、図41の電位生成回路80で生成されるテスト用のビット線電位VTestBLのノードとビット線BL<x>との間にソース・ドレイン間が挿入され、ゲート電極に上記反転回路122の出力が入力されるNMOSトランジスタ123と、制御信号線EQLの信号及び制御信号/TestBLが入力されるNORゲート回路124と、このNORゲート回路124の出力及びカラムアドレスCol Add.<x>が入力されるNANDゲート回路125と、ビット線BL<x>と接地電位GNDのノードとの間にソース・ドレイン間が挿入され、ゲート電極に上記NANDゲート回路125の出力が入力されるNMOSトランジスタ126とを備えている。

【0224】

図44の電位出力回路120において、テストモード時に制御信号線/EQL及び制御信号TestBLが共に“H”となり、カラムアドレスCol Add.<x>が選択されることで、NANDゲート回路121の出力が“L”、反転回路122の出力が“H”となり、NMOSトランジスタ123が導通し、図41の電位生成回路80で生成されるテスト用のビット線電位VTestBLがビット線BL<x>に出力される。すなわち、NANDゲート回路121、反転回路122及びNMOSトランジスタ123からなる回路は、テストモード時に、ビット線BL<x>にカラムアドレスCol Add.<x>に応じてテスト用のビット線電位VTestBLを出力する。

【0225】

ノーマルモード時に、制御信号/TestBLは“L”であり、ビット線イコライズ／プリチャージ回路11におけるイコライズ／プリチャージ動作が完了して制御信号EQLが“L”になると、NORゲート回路124の出力が“H”になる。そして、カラムアドレスCol Add.<x>が選択されることで、NANDゲート回路125の出力は“L”となり、NMOSトランジスタ126は非導通となり、ビット線BL<x>はプリチャージされた電位を維持する。この後、カラムアドレスCol Add.<x>が非選択になると、NANDゲート回路125の出力は“H”となり、NMOSトランジスタ126が導通し、ビット線BL<x>がGNDに放電される。

【0226】

なお、この発明は上記した実施の形態に限定されるものではなく、種々の変形

が可能であることはいうまでもない。例えば図 3 8 ないし図 4 4 に示した回路はあくまでも一例であり、同様の機能を有するものであればどのように構成されていてもよい。その他、この発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【 0 2 2 7 】

【発明の効果】

以上説明したようにこの発明によれば、データ書き込み後に短時間で強誘電体メモリセルの分極量を評価することができる強誘電体メモリ及びそのテスト方法を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の強誘電体メモリにおけるテスト方法を説明するためのフローチャート。

【図 2】 本発明の強誘電体メモリのヒステリシス特性曲線を示す特性図。

【図 3】 抗電圧の小さい強誘電体メモリセルのヒステリシス特性曲線を示す特性図。

【図 4】 この発明に係る強誘電体メモリにおける読み出し回路の一部の構成を示す回路図。

【図 5】 この発明に係る強誘電体メモリにおけるセルアレイの一部の構成を示す回路図。

【図 6】 この発明に係る強誘電体メモリにおける図 5 とは異なるセルアレイの一部の構成を示す回路図。

【図 7】 この発明の第 1 の実施の形態に係る強誘電体メモリのセルアレイの一部の構成を示す回路図。

【図 8】 図 7 に示す強誘電体メモリの動作の一例を示すタイミングチャート。

【図 9】 この発明の第 2 の実施の形態に係る強誘電体メモリの動作の一例を示すタイミングチャート。

【図 1 0】 この発明の第 3 の実施の形態による強誘電体メモリのセルアレイの一部の構成を示す回路図。

【図 1 1】 図 1 0 に示す強誘電体メモリの動作の一例を示すタイミングチャート。

【図 1 2】 この発明の第 4 の実施の形態による強誘電体メモリのセルアレイの一部の構成を示す回路図。

【図 1 3】 図 1 2 に示す強誘電体メモリの動作の一例を示すタイミングチャート。

【図 1 4】 この発明の第 5 の実施の形態に係る強誘電体メモリの動作の一例を示すタイミングチャート。

【図 1 5】 この発明の第 6 の実施の形態による強誘電体メモリのセルアレイの一部の構成を示す回路図。

【図 1 6】 図 1 5 に示す強誘電体メモリの動作の一例を示すタイミングチャート。

【図 1 7】 この発明の第 7 の実施の形態に係る強誘電体メモリの動作の一例を示すタイミングチャート。

【図 1 8】 この発明の第 8 の実施の形態による強誘電体メモリのセルアレイの一部の構成を示す回路図。

【図 1 9】 この発明の第 8 の実施の形態による強誘電体メモリのセルアレイの一部の構成を示す回路図。

【図 2 0】 図 1 8 及び図 1 9 に示す強誘電体メモリの動作の一例を示すタイミングチャート。

【図 2 1】 この発明の第 9 の実施の形態による強誘電体メモリのセルアレイの一部の構成を示す回路図。

【図 2 2】 この発明の第 9 の実施の形態による強誘電体メモリのセルアレイの一部の構成を示す回路図。

【図 2 3】 図 2 1 及び図 2 2 に示す強誘電体メモリの動作の一例を示すタイミングチャート。

【図 2 4】 この発明の第 1 0 の実施の形態による強誘電体メモリのセルアレイの一部の構成を示す回路図。

【図 2 5】 図 2 4 に示す強誘電体メモリの動作の一例を示すタイミングチャート。

ャート。

【図 2 6】 この発明の第 1 1 の実施の形態による強誘電体メモリのセルアレイの一部の構成を示す回路図。

【図 2 7】 図 2 6 に示す強誘電体メモリの動作の一例を示すタイミングチャート。

【図 2 8】 この発明の第 1 2 の実施の形態による強誘電体メモリのセルアレイの一部の構成を示す回路図。

【図 2 9】 図 2 8 に示す強誘電体メモリの動作の一例を示すタイミングチャート。

【図 3 0】 この発明の第 1 3 の実施の形態による強誘電体メモリのセルアレイの一部の構成を示す回路図。

【図 3 1】 図 3 0 に示す強誘電体メモリの動作の一例を示すタイミングチャート。

【図 3 2】 この発明の第 1 4 の実施の形態による強誘電体メモリのセルアレイの一部の構成を示す回路図。

【図 3 3】 この発明の第 1 4 の実施の形態による強誘電体メモリのセルアレイの一部の構成を示す回路図。

【図 3 4】 図 3 2 及び図 3 3 に示す強誘電体メモリの動作の一例を示すタイミングチャート。

【図 3 5】 この発明の第 1 5 の実施の形態による強誘電体メモリのセルアレイの一部の構成を示す回路図。

【図 3 6】 この発明の第 1 5 の実施の形態による強誘電体メモリのセルアレイの一部の構成を示す回路図。

【図 3 7】 図 3 5 及び図 3 6 に示す強誘電体メモリの動作の一例を示すタイミングチャート。

【図 3 8】 上記各実施の形態の強誘電体メモリで用いられるプレート線電位を生成する電位生成回路の一例を示す回路図。

【図 3 9】 上記各実施の形態の強誘電体メモリで用いられるテスト用のプレート線電位を生成する電位生成回路の一例を示す回路図。

【図 4 0】 上記各実施の形態の強誘電体メモリで用いられるビット線センスアンプ活性化用の電位を生成する電位生成回路の一例を示す回路図。

【図 4 1】 上記各実施の形態の強誘電体メモリで用いられるテスト用のビット線電位を生成する電位生成回路の一例を示す回路図。

【図 4 2】 第 1 ないし第 9 の各実施の形態の強誘電体メモリで用いられるプレート線電位を出力する電位出力回路の一例を示す回路図。

【図 4 3】 第 1 0 ないし第 1 5 の各実施の形態の強誘電体メモリで用いられるプレート線電位を出力する電位出力回路の一例を示す回路図。

【図 4 4】 上記各実施の形態の強誘電体メモリで用いられるビット線電位を出力する電位出力回路の一例を示す回路図。

【図 4 5】 強誘電体膜のデポラリゼーションによる経時変化特性の一例を示す特性図。

【図 4 6】 従来の強誘電体メモリのテスト方法のフローチャート。

【図 4 7】 デポラリゼーションが起こる前の状態の強誘電体メモリセルのヒステリシス特性曲線を示す図。

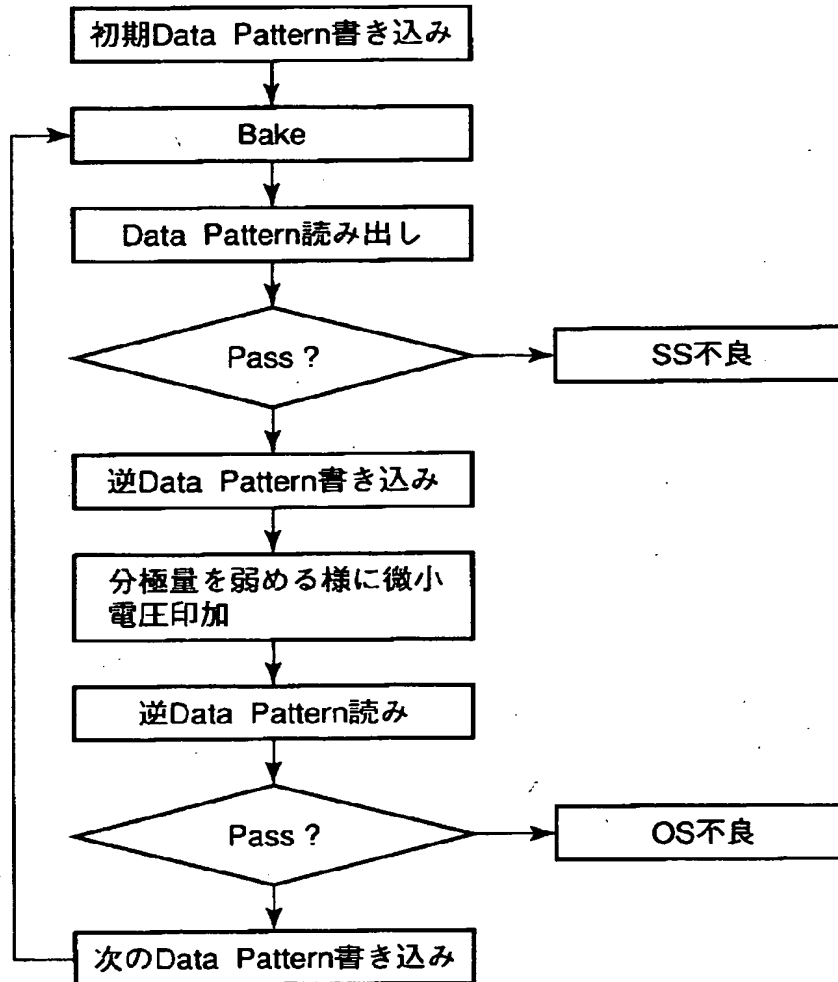
【図 4 8】 デポラリゼーションが起こった後の状態の強誘電体メモリセルのヒステリシス特性曲線を示す図。

【符号の説明】

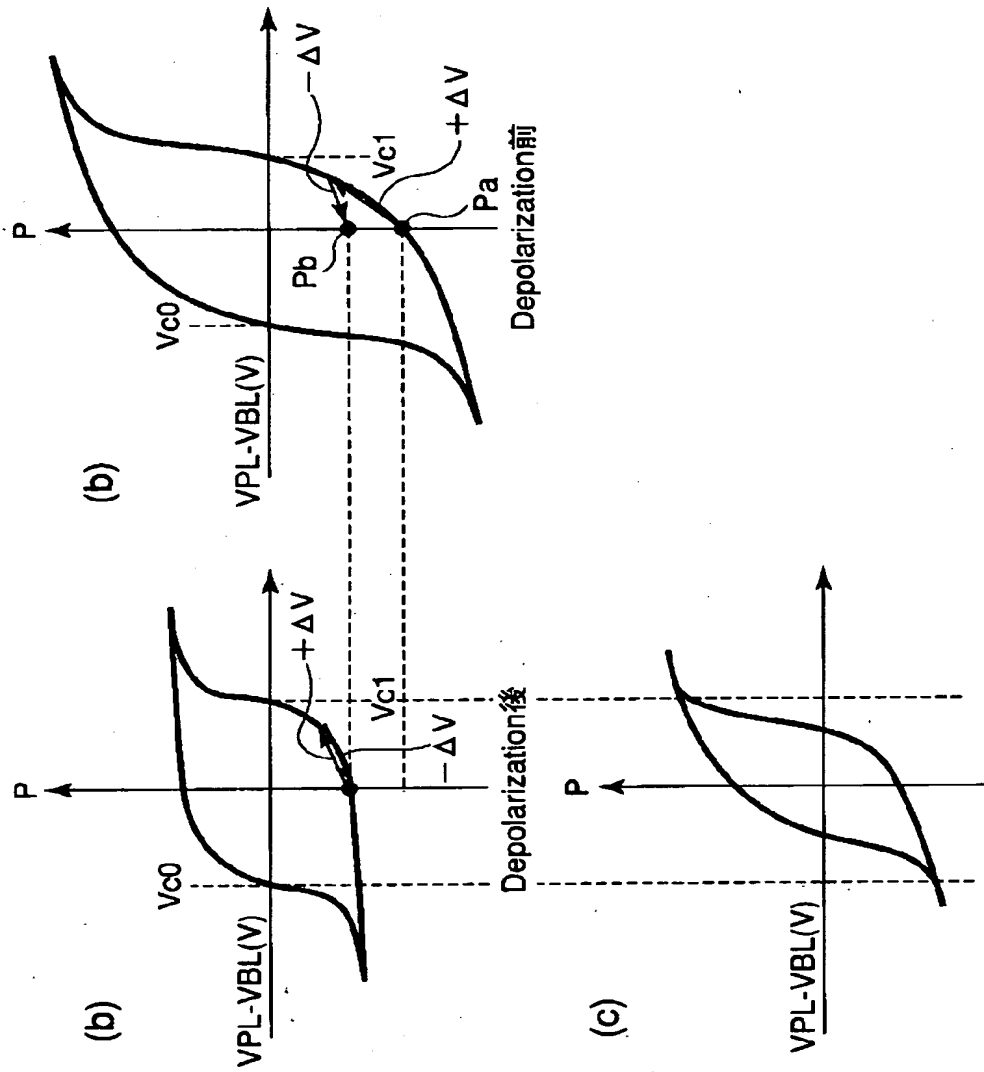
BL<0>、BL<1>…ビット線BL<0>、BL<1>、DQ、/DQ…データ線、CSL<0>…カラム選択線、11…ビット線イコライズ／プリチャージ回路、12…ビット線電位設定回路、13…ビット線センスアンプ（S/A）、14…カラム選択トランジスタ、15…DQセンスアンプ（DQ-S/A）、MC…メモリセル、31…セルトランジスタ、32…セルキャパシタ、34…ブロック選択用のNMOSトランジスタ、50、60、70、80…電位生成回路、100、120…電位出力回路。

【書類名】 図面

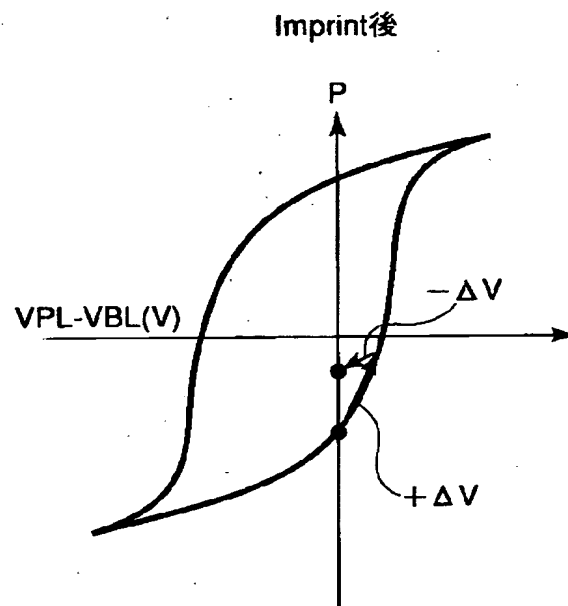
【図 1】



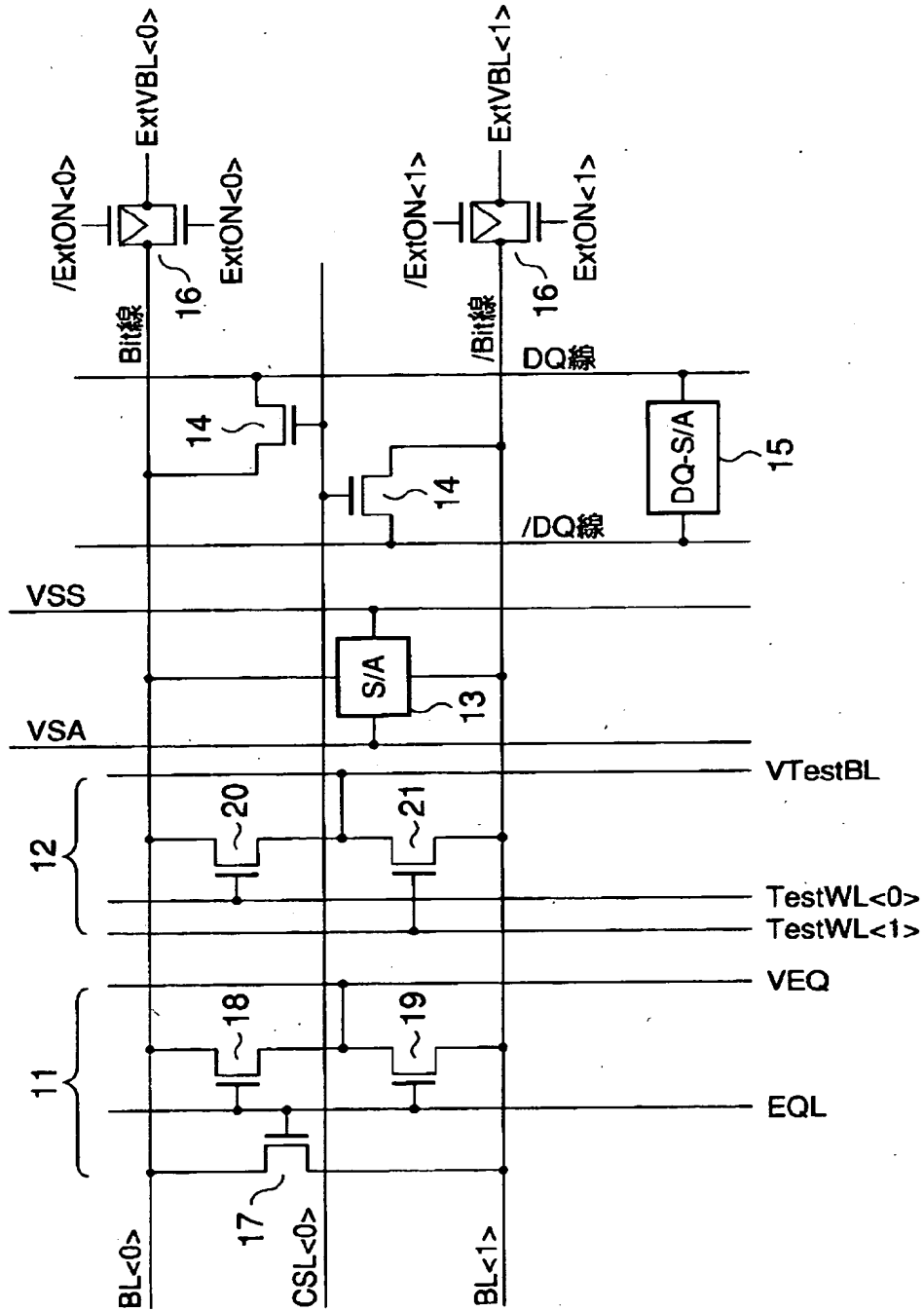
【図 2】



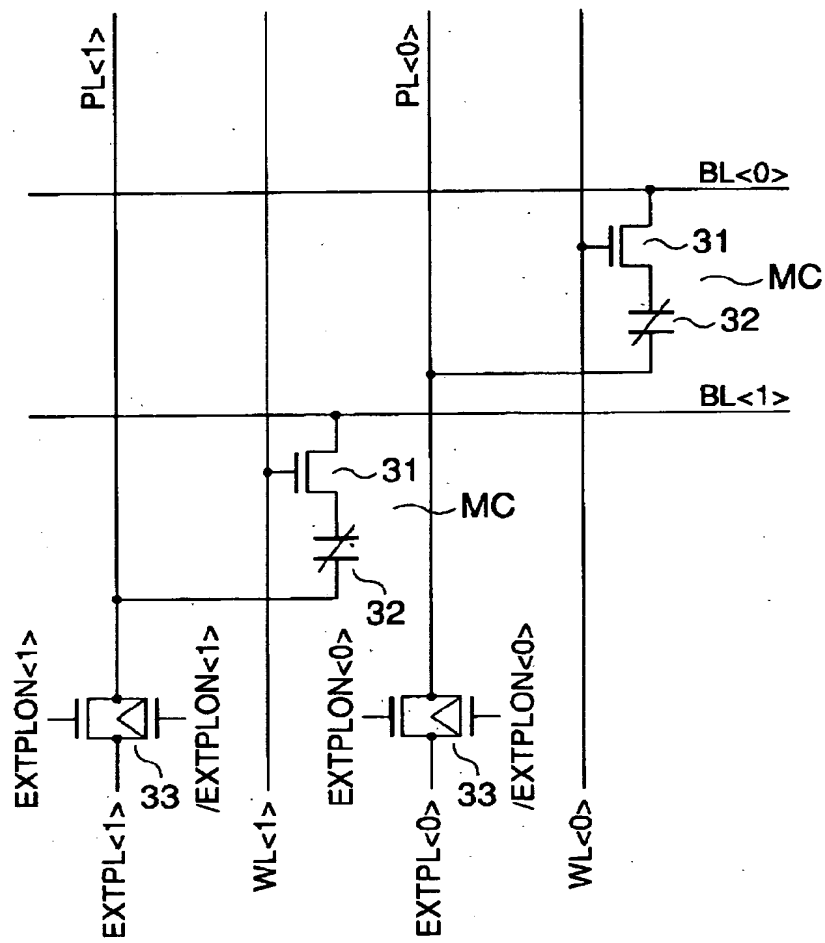
【図3】



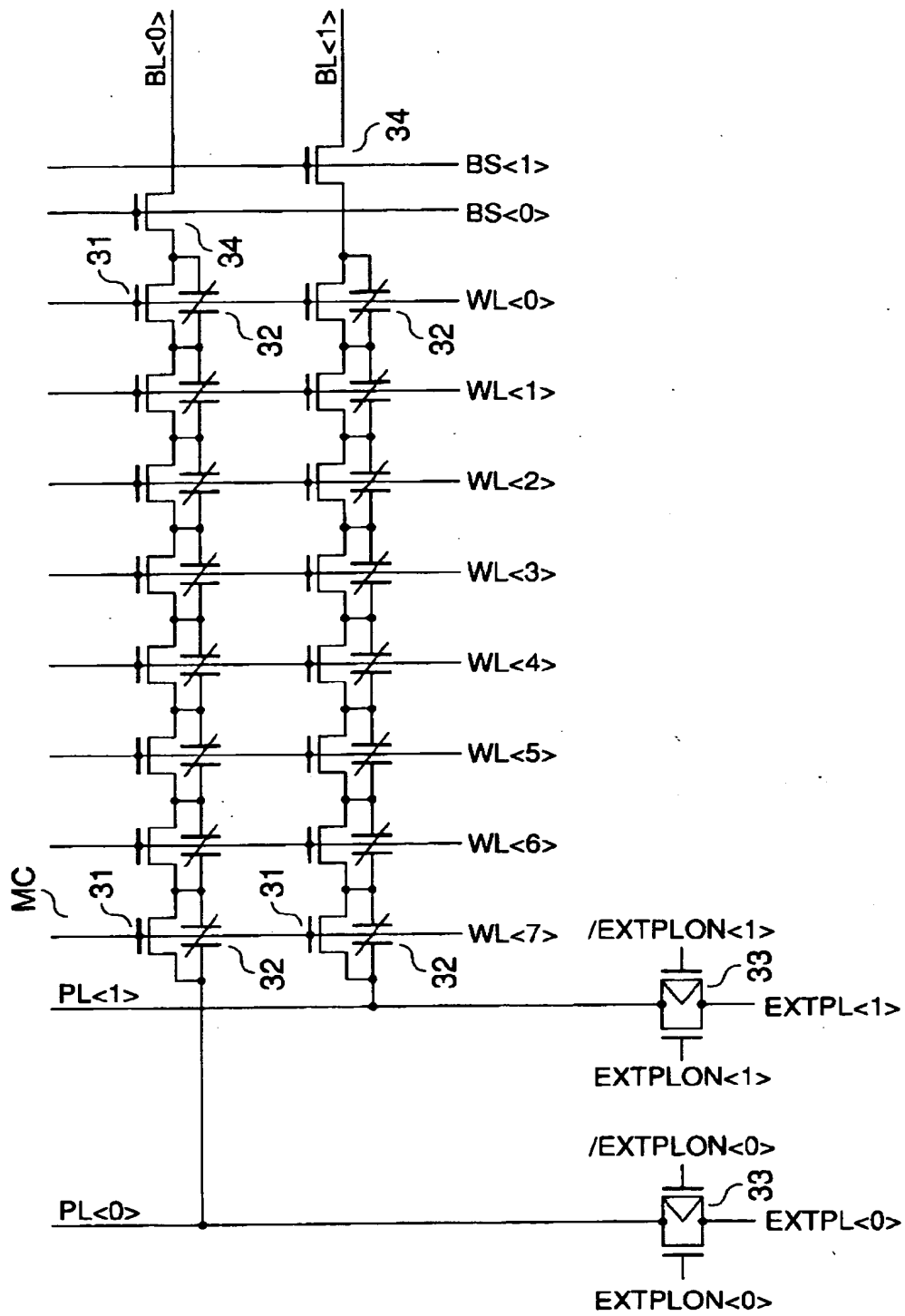
【図 4】



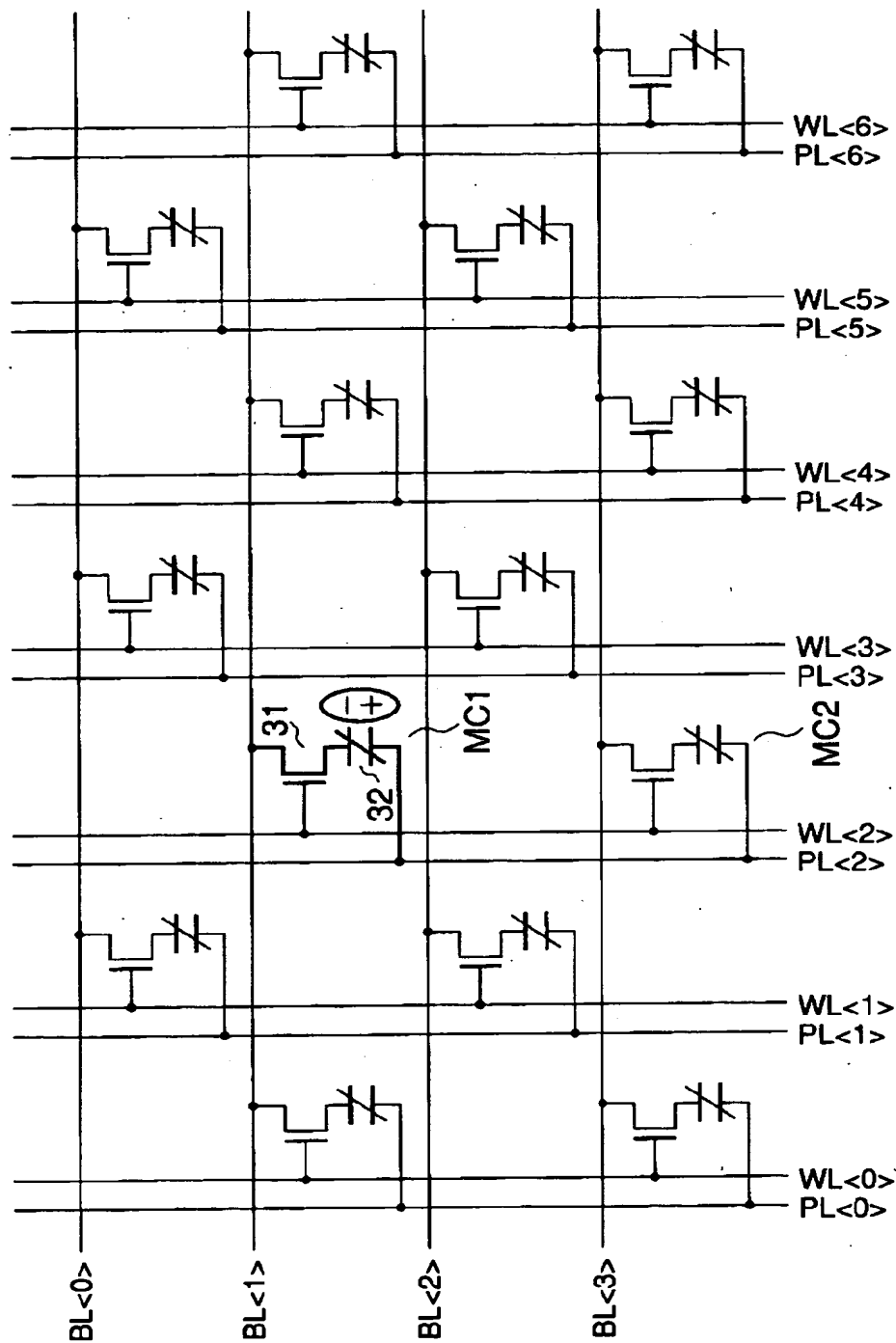
【図 5】



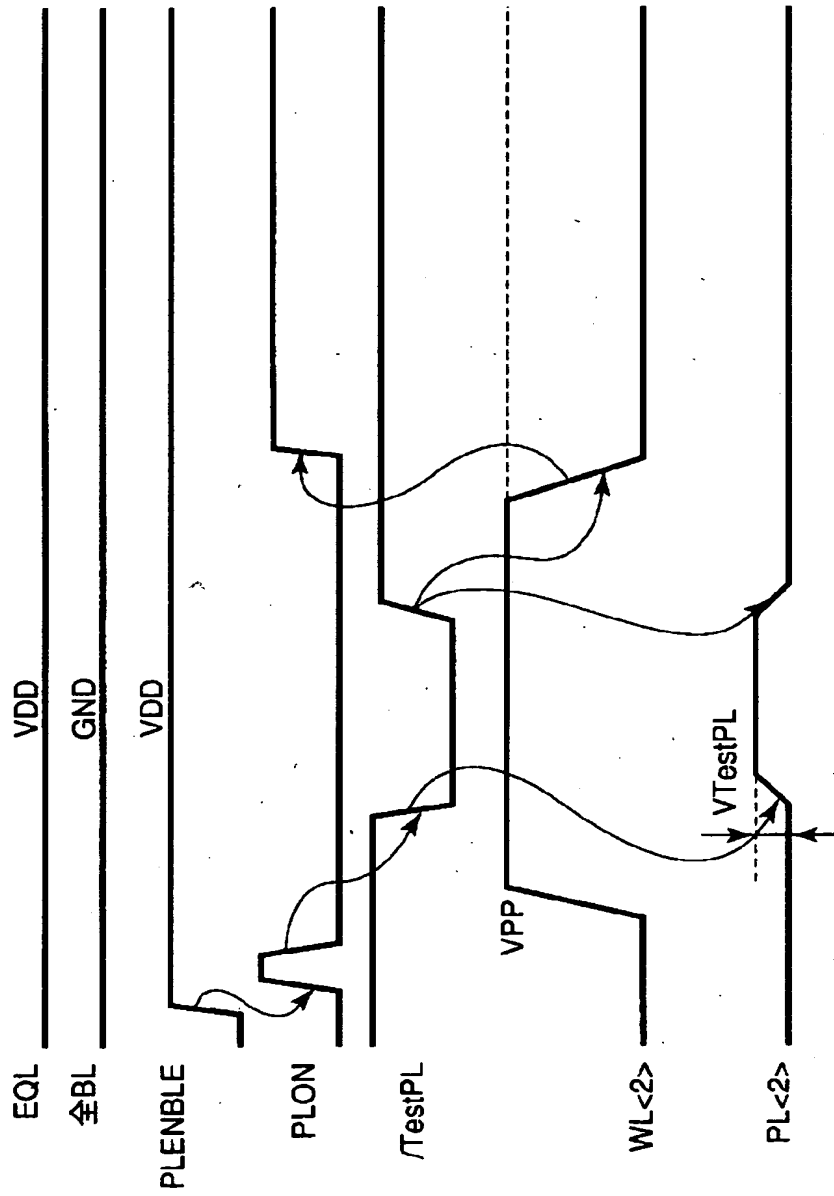
【図 6】



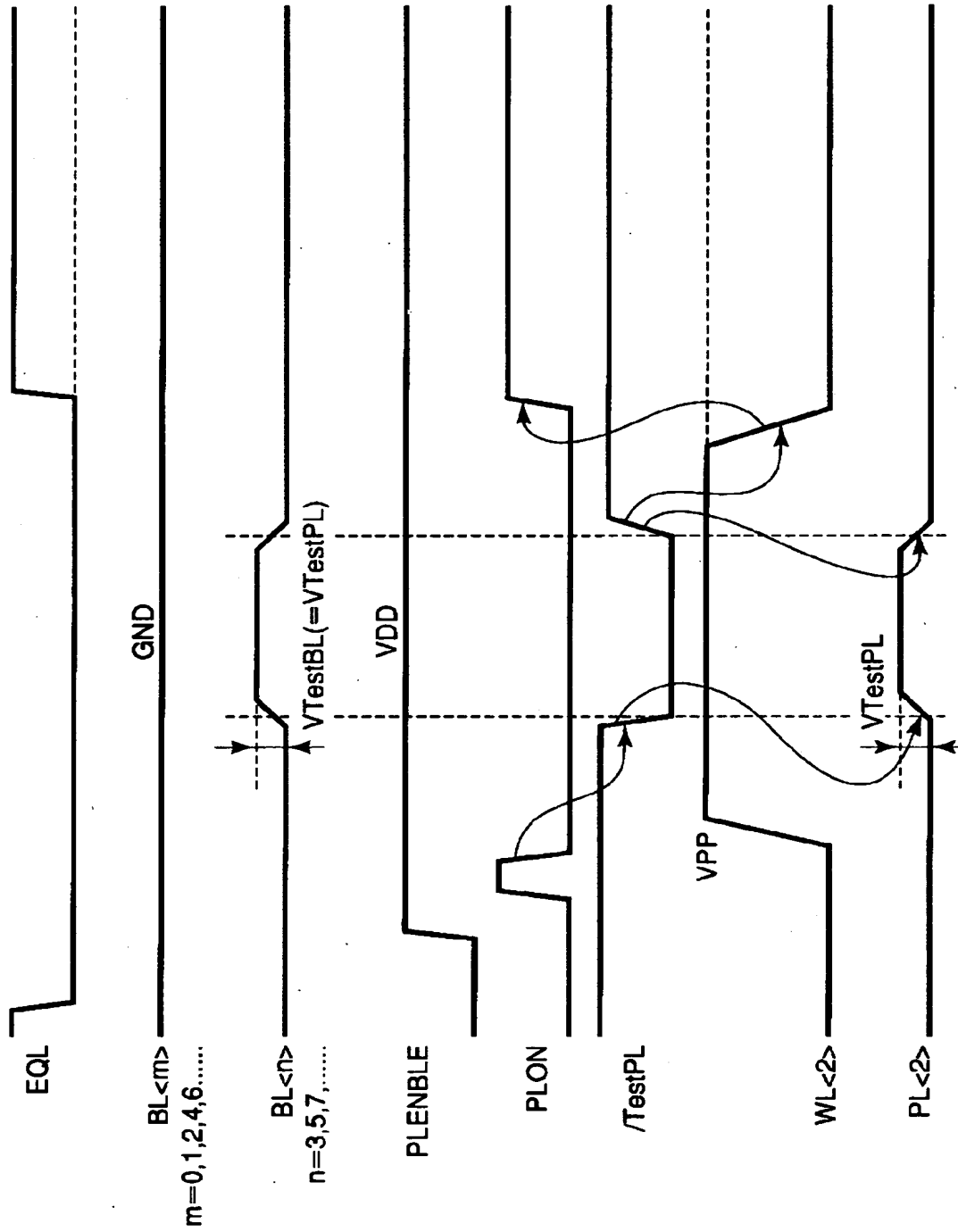
【図 7】



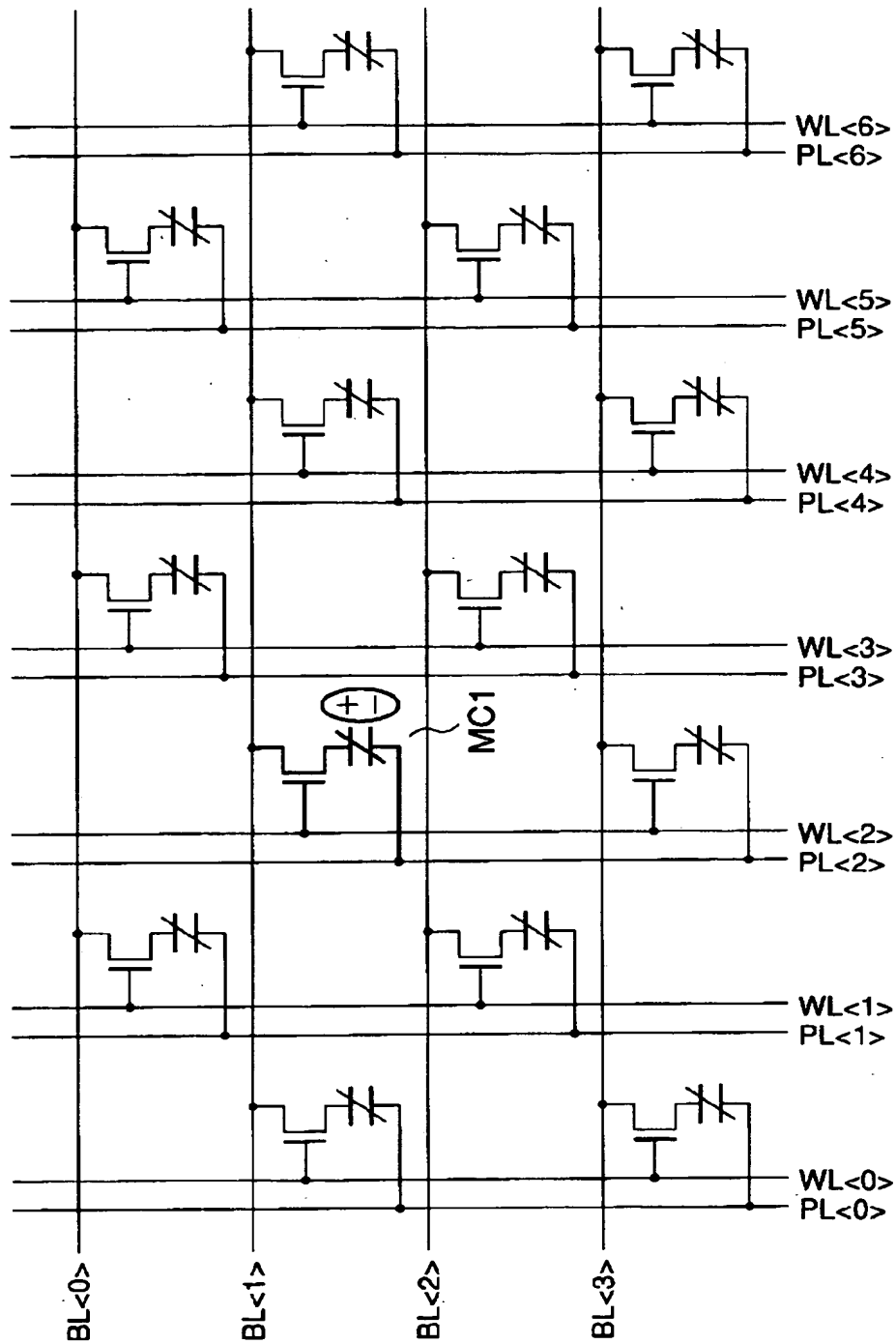
【図 8】



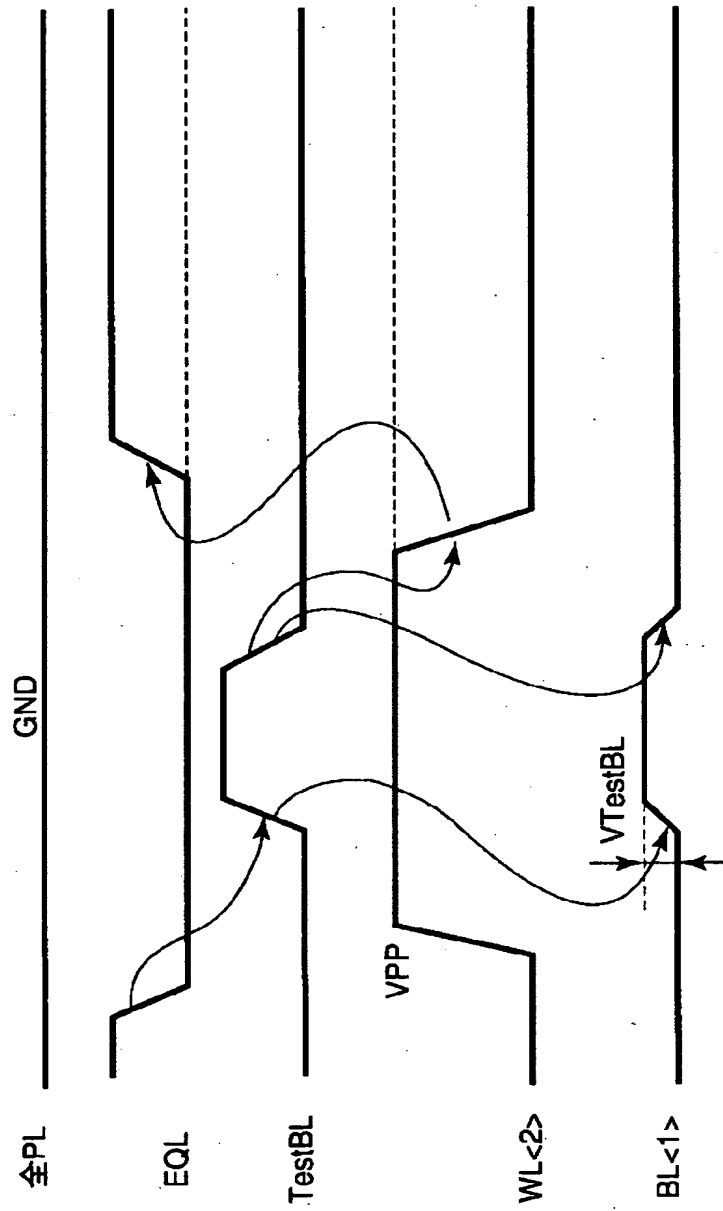
【図9】



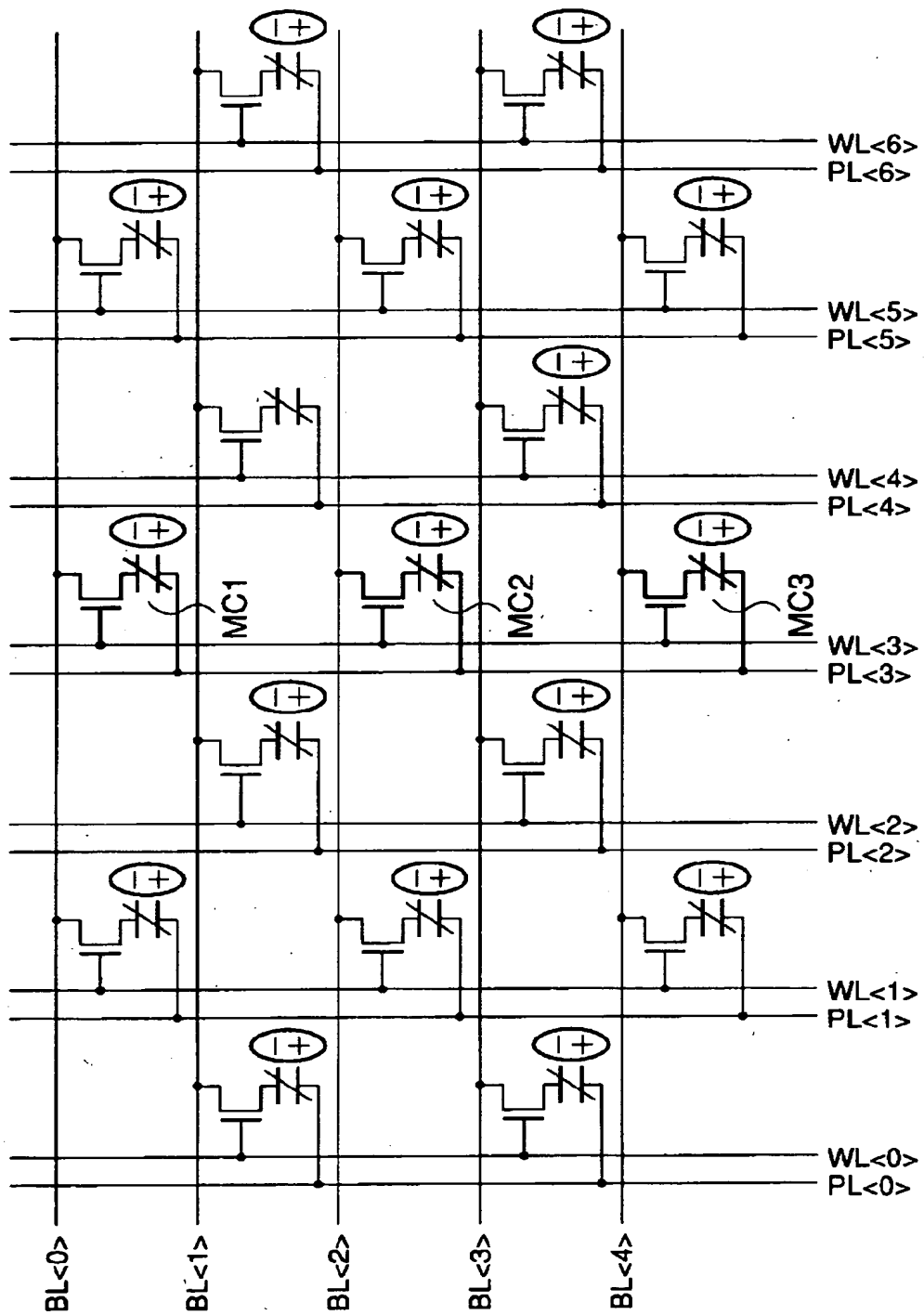
【図 10】



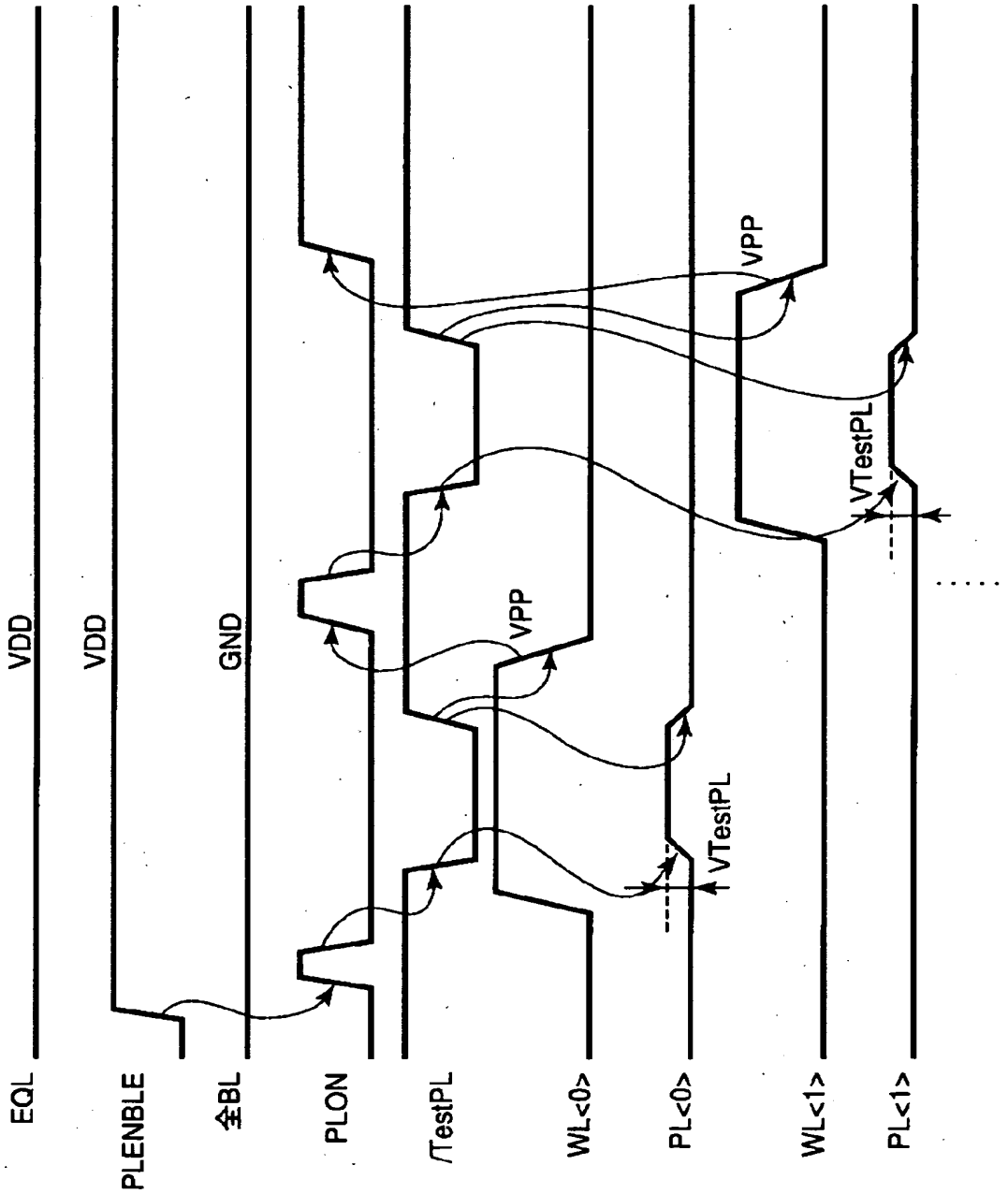
【図 11】



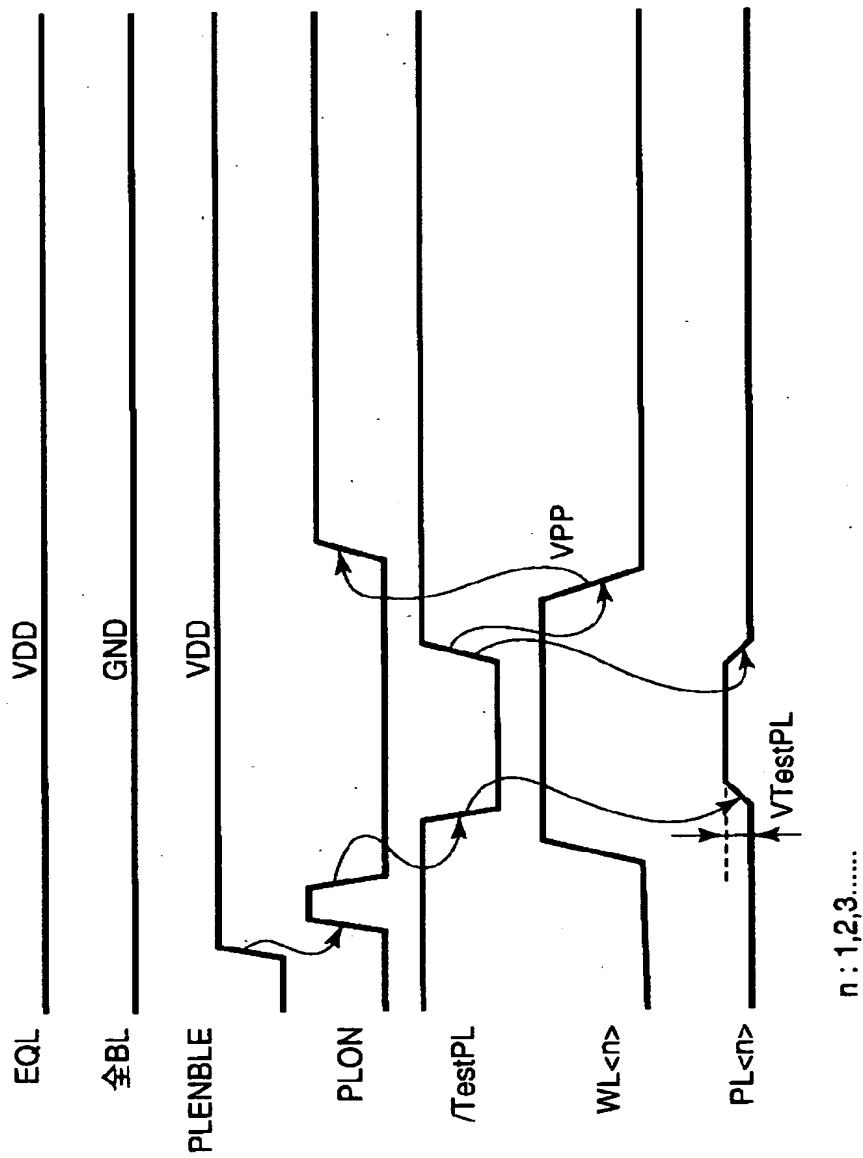
【图 1 2】



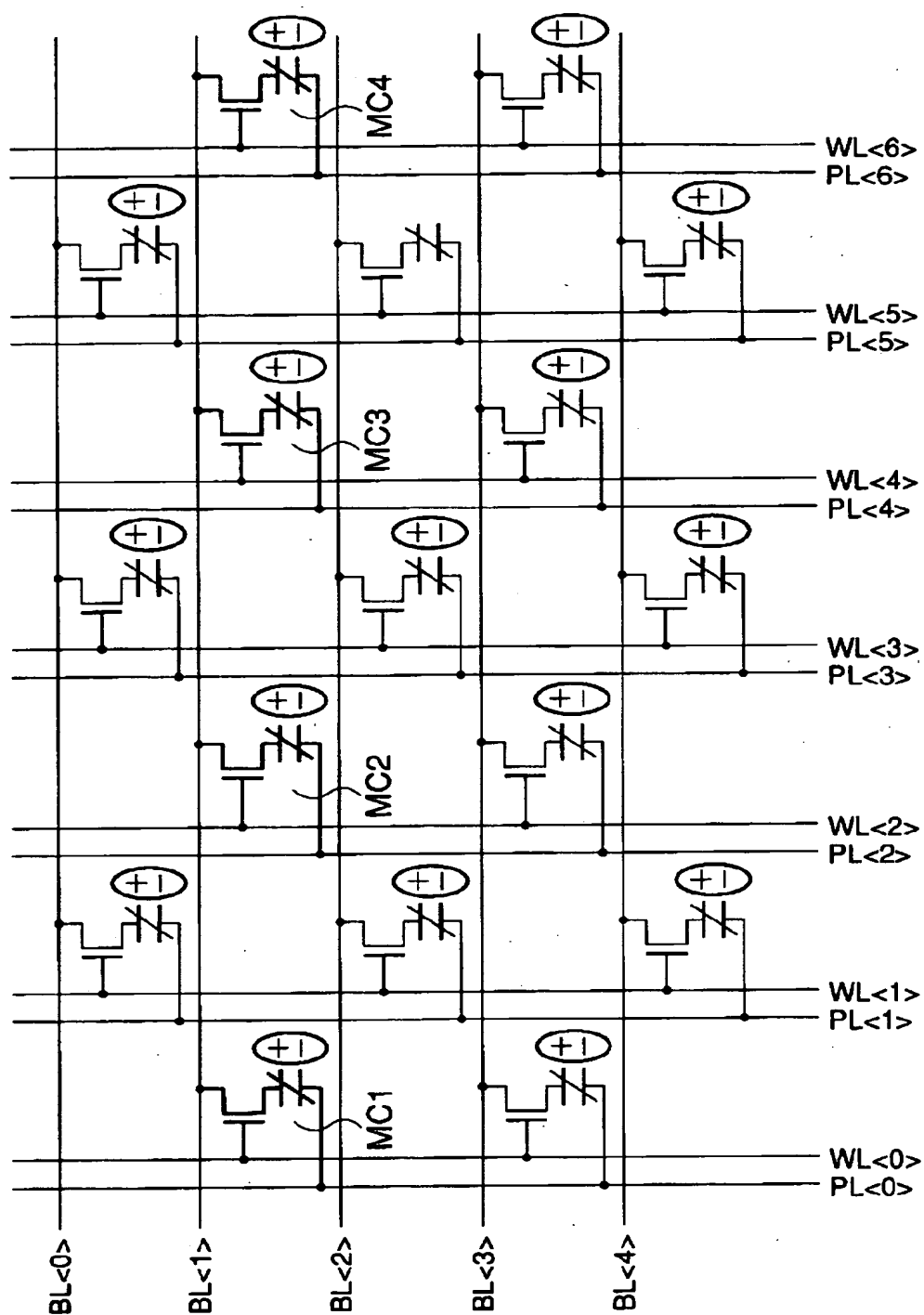
【図 13】



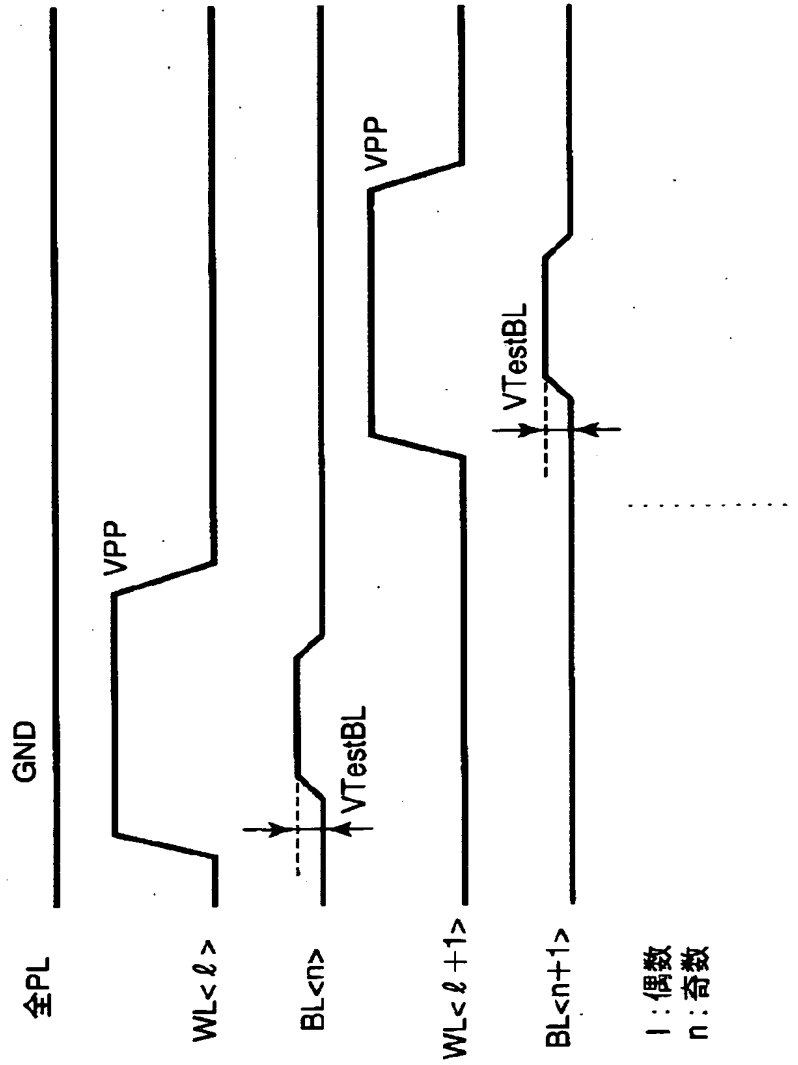
【図 14】



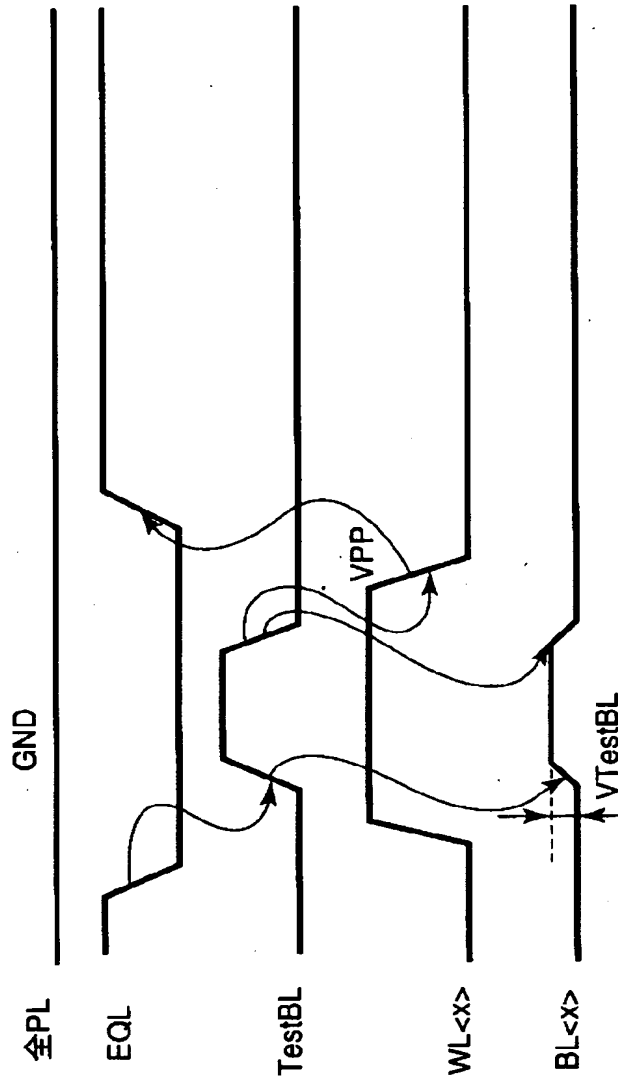
【図15】



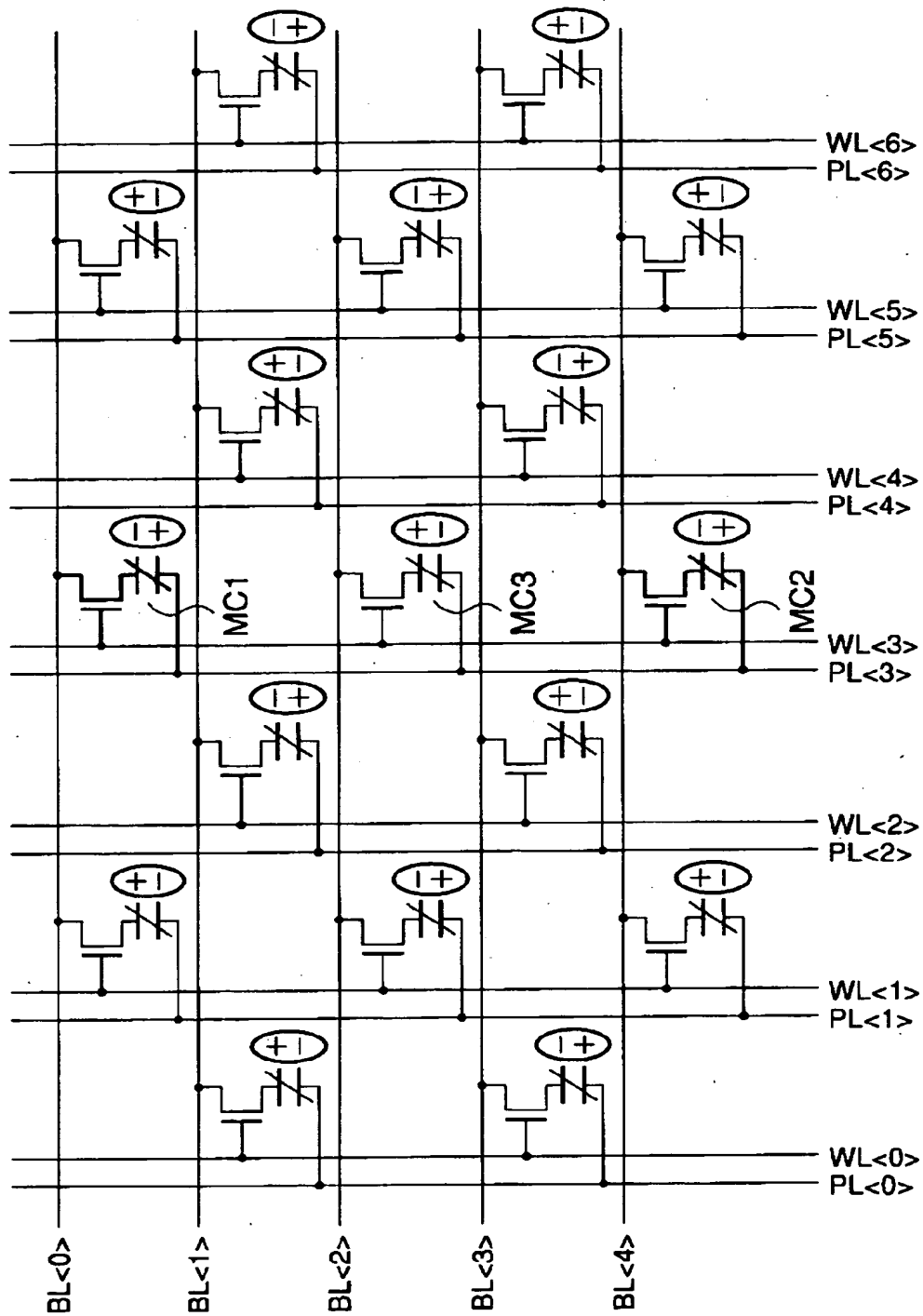
【図 16】



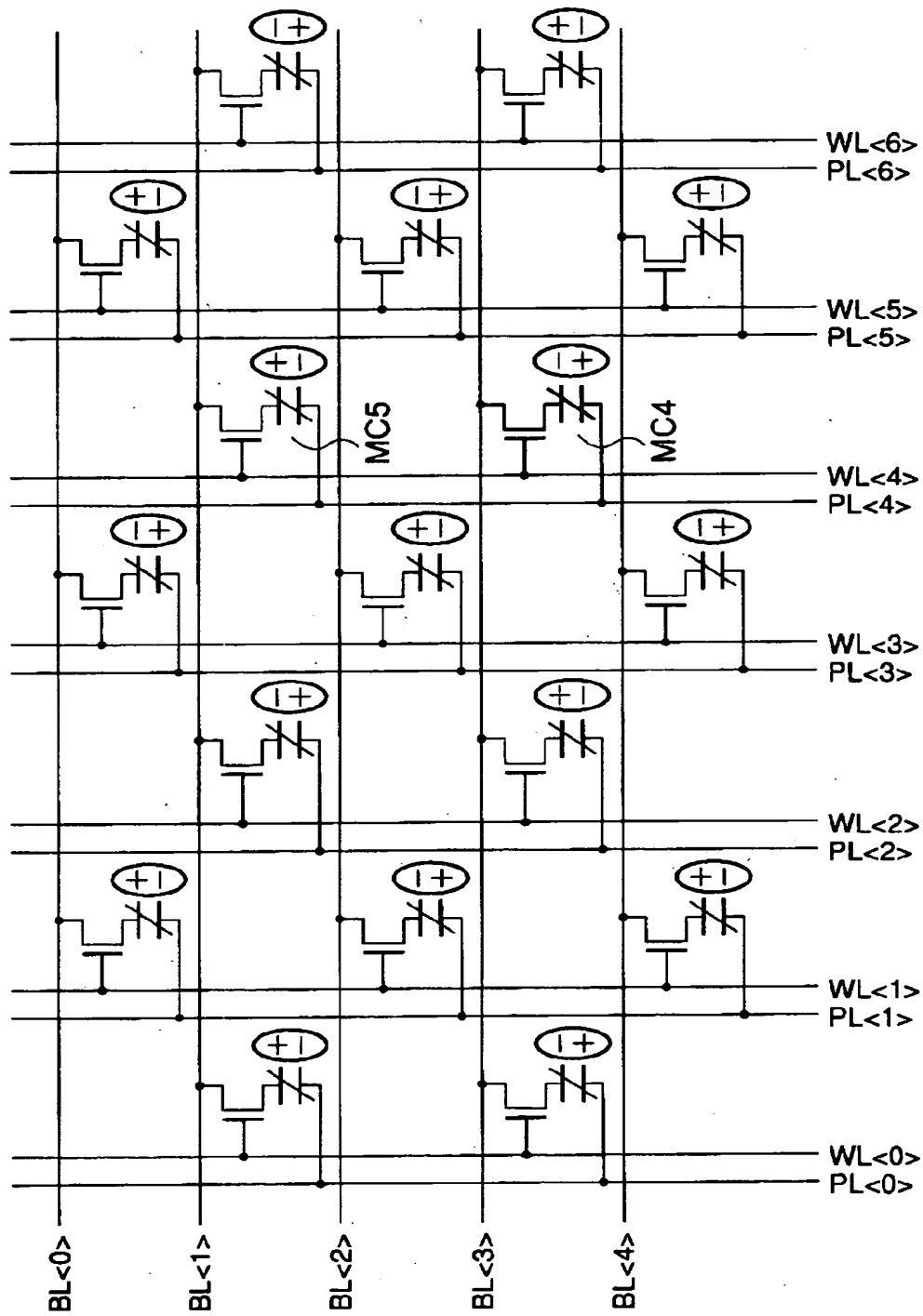
【図 17】



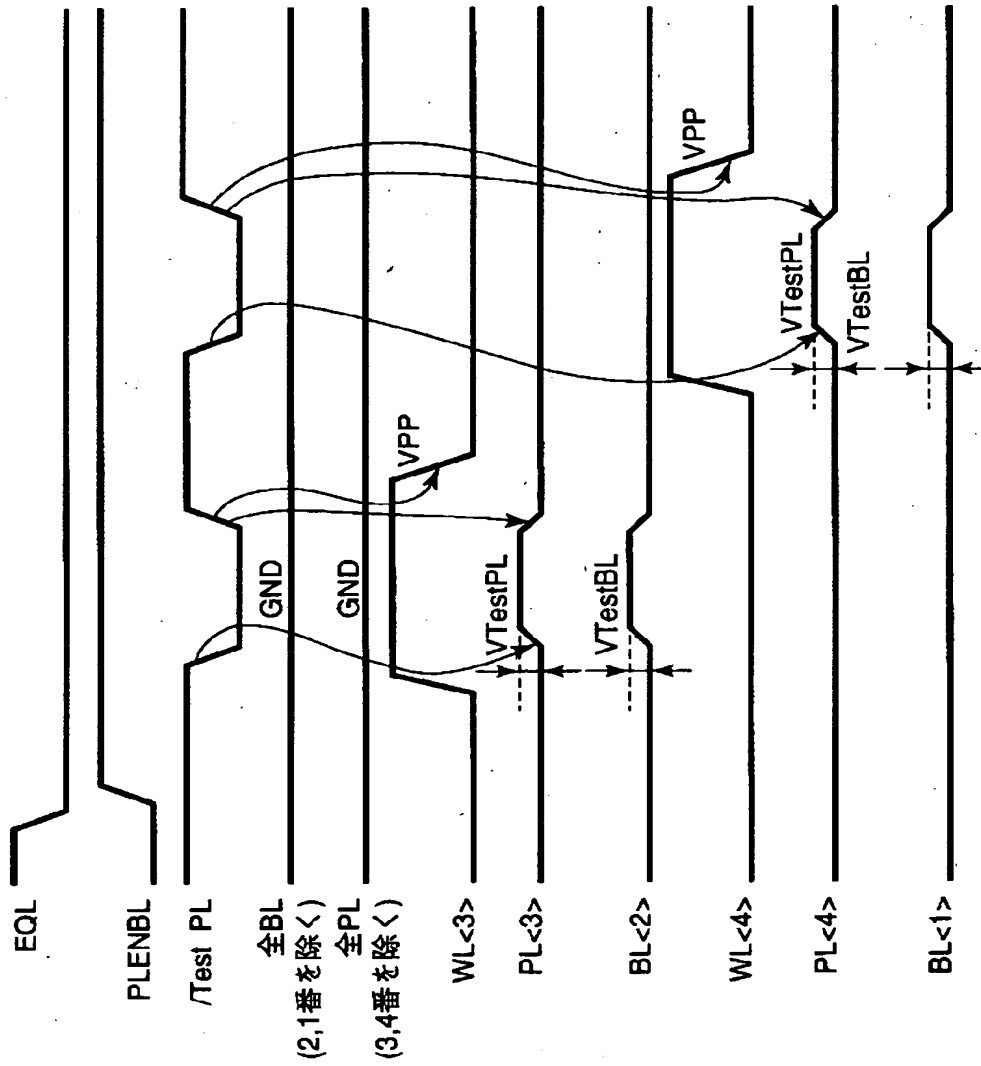
【図18】



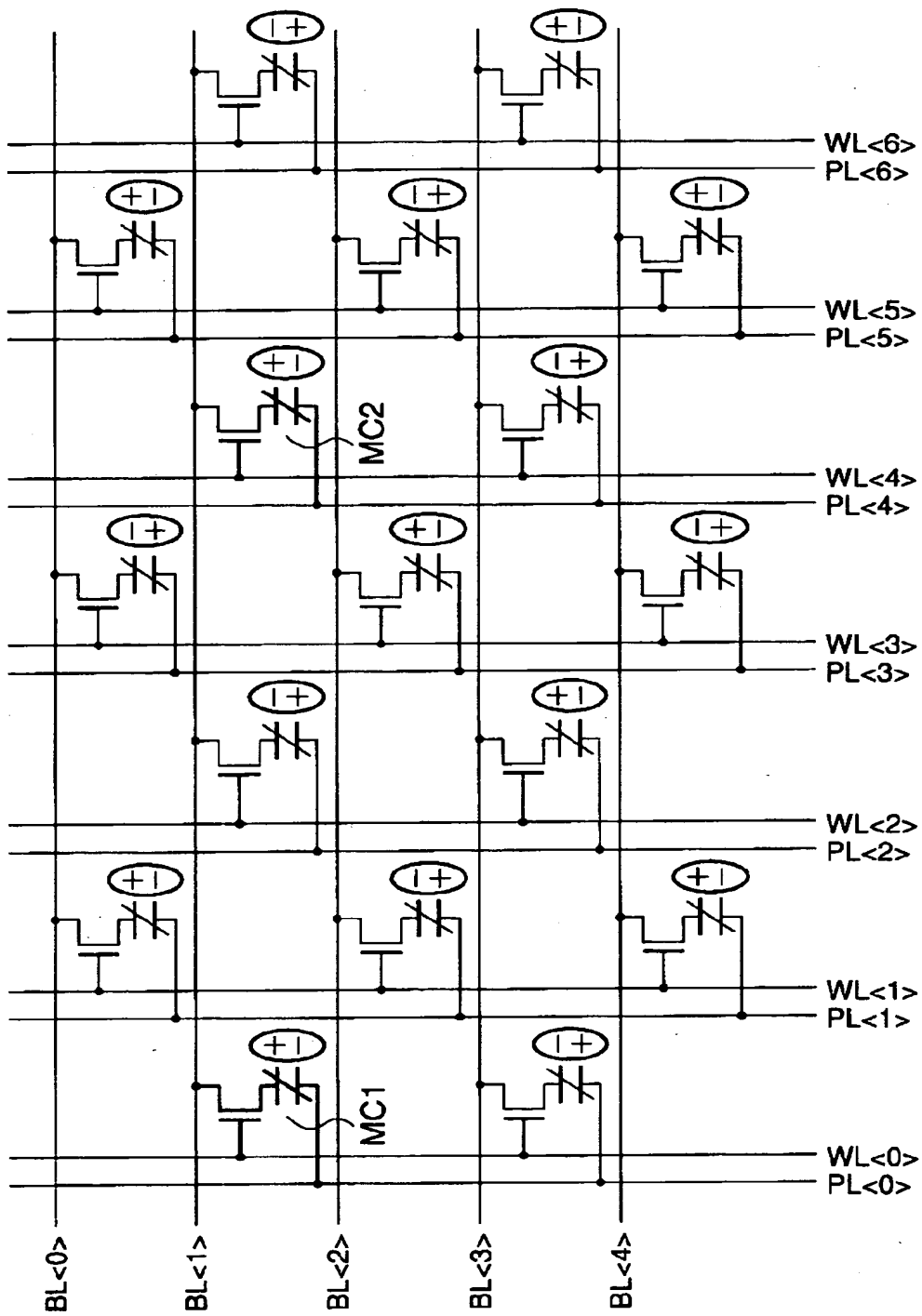
【図19】



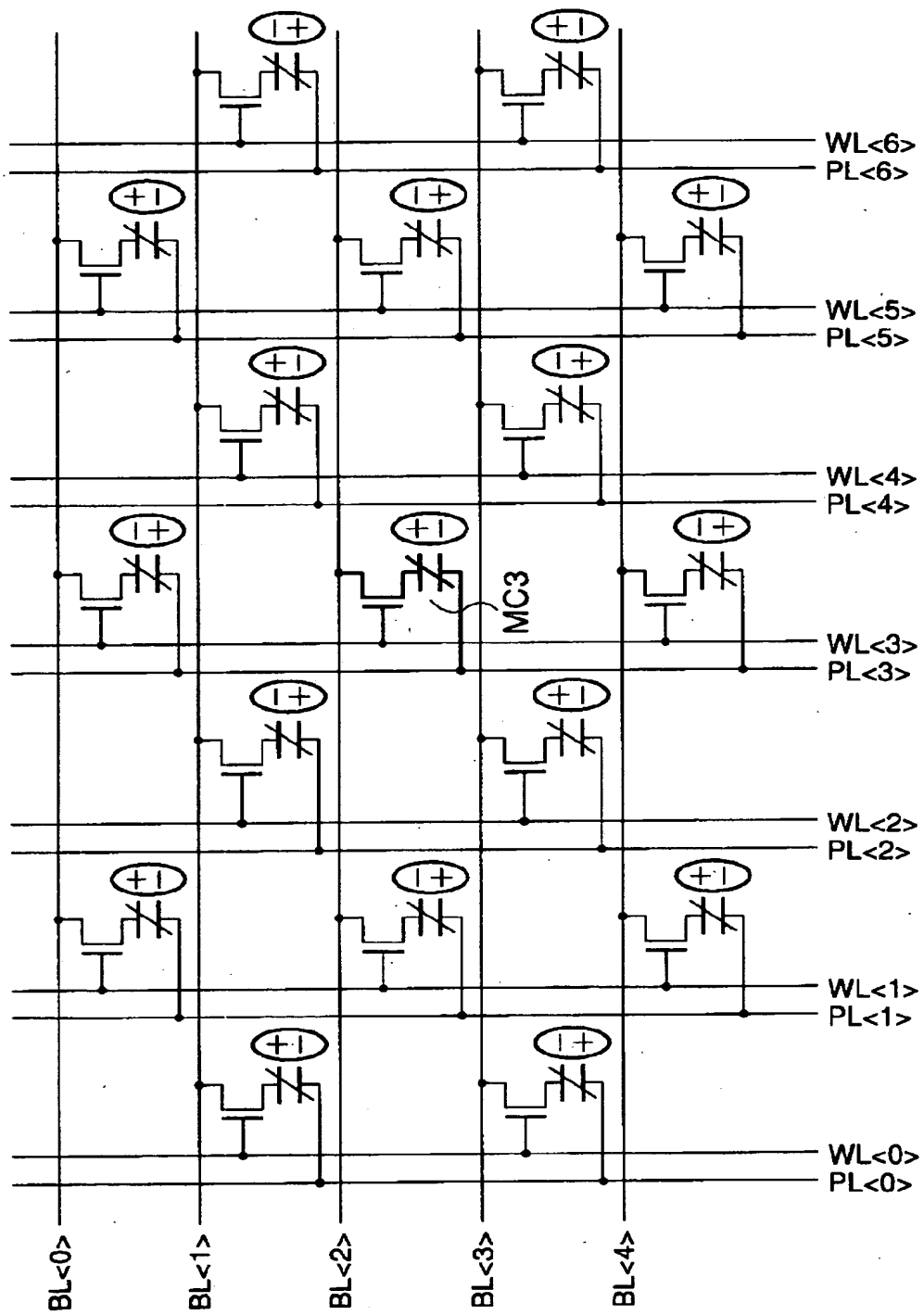
【図 20】



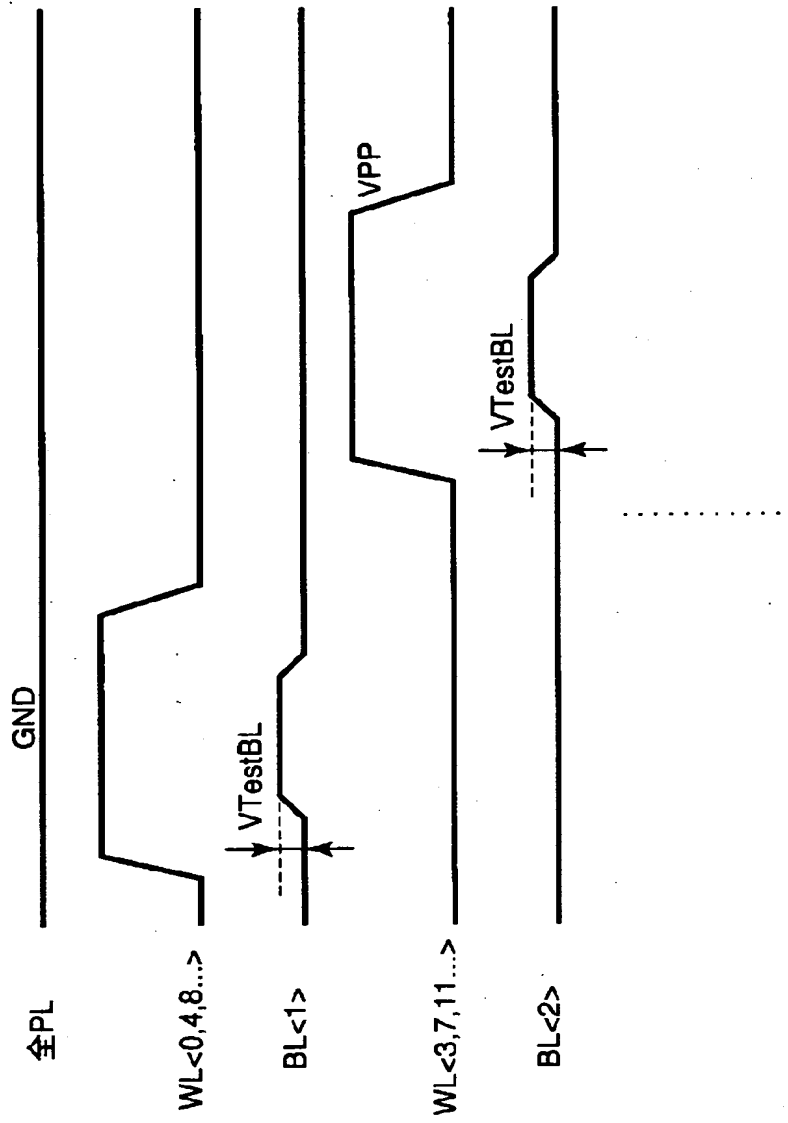
【図 21】



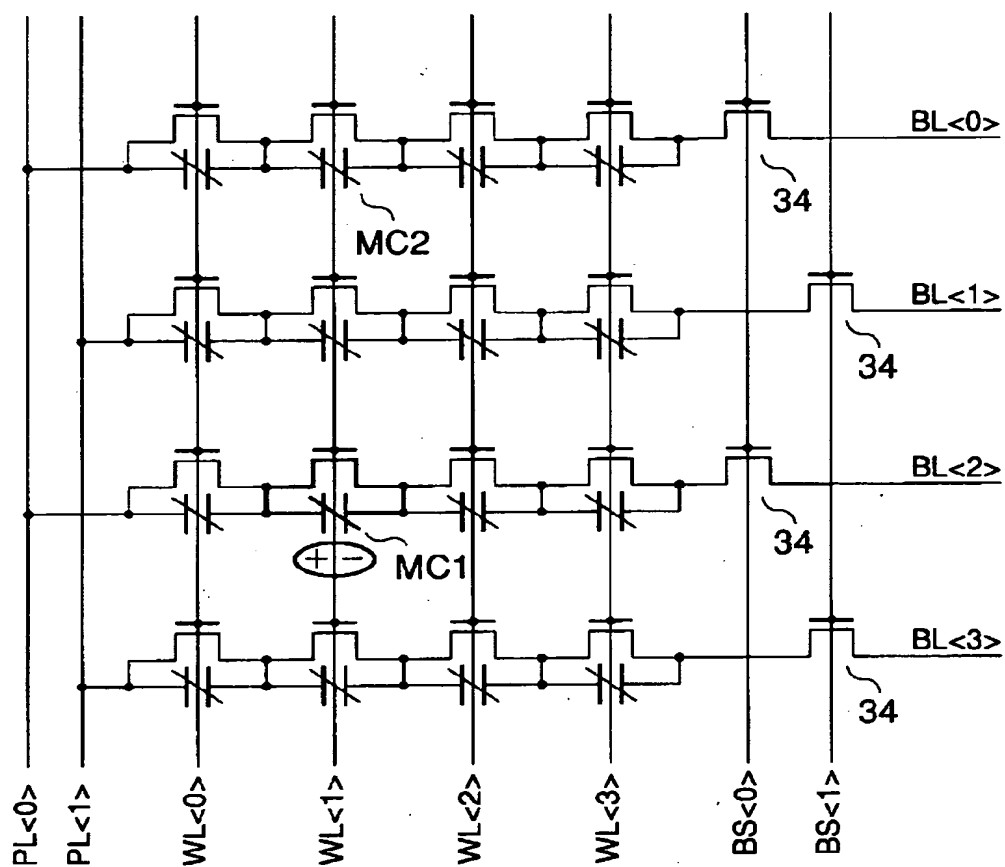
【図 22】



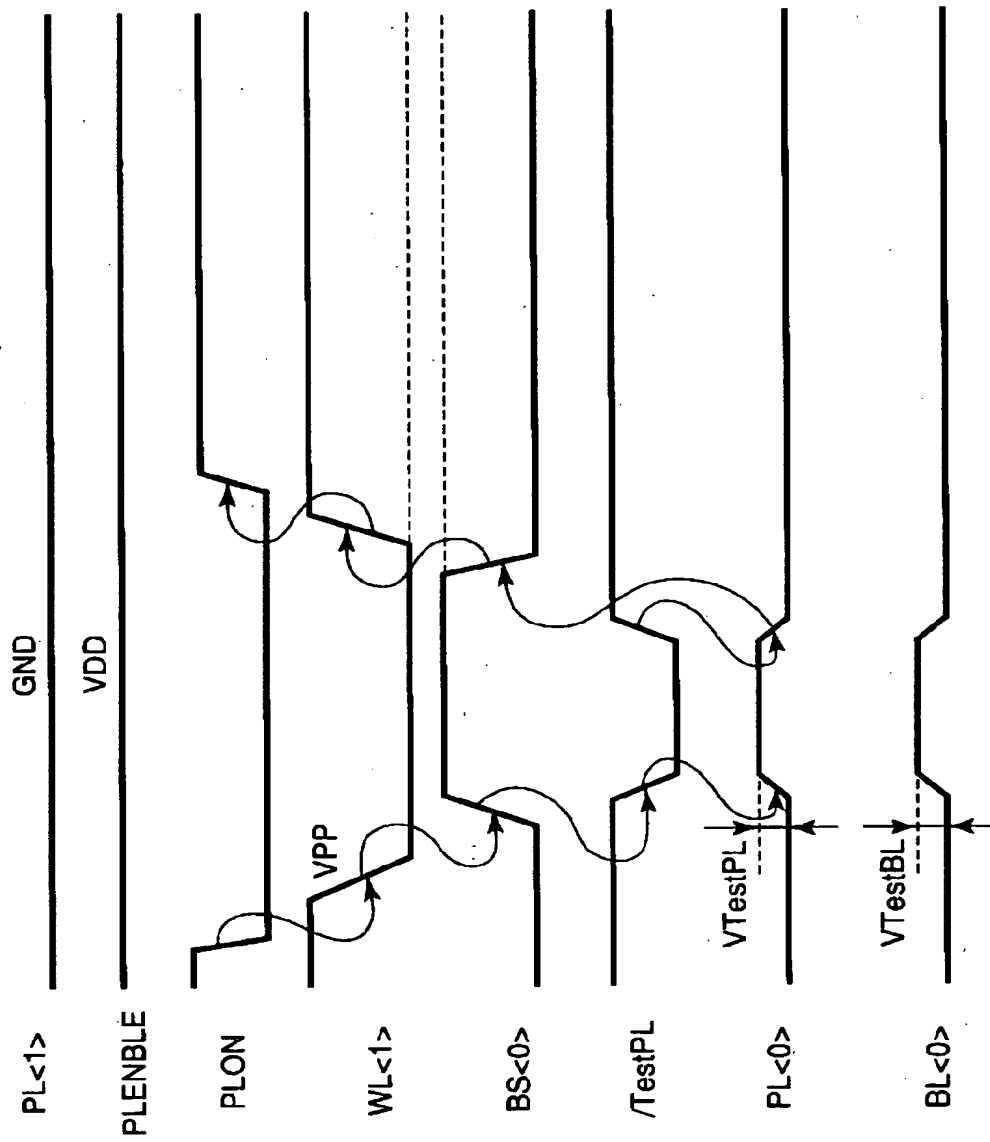
【図 23】



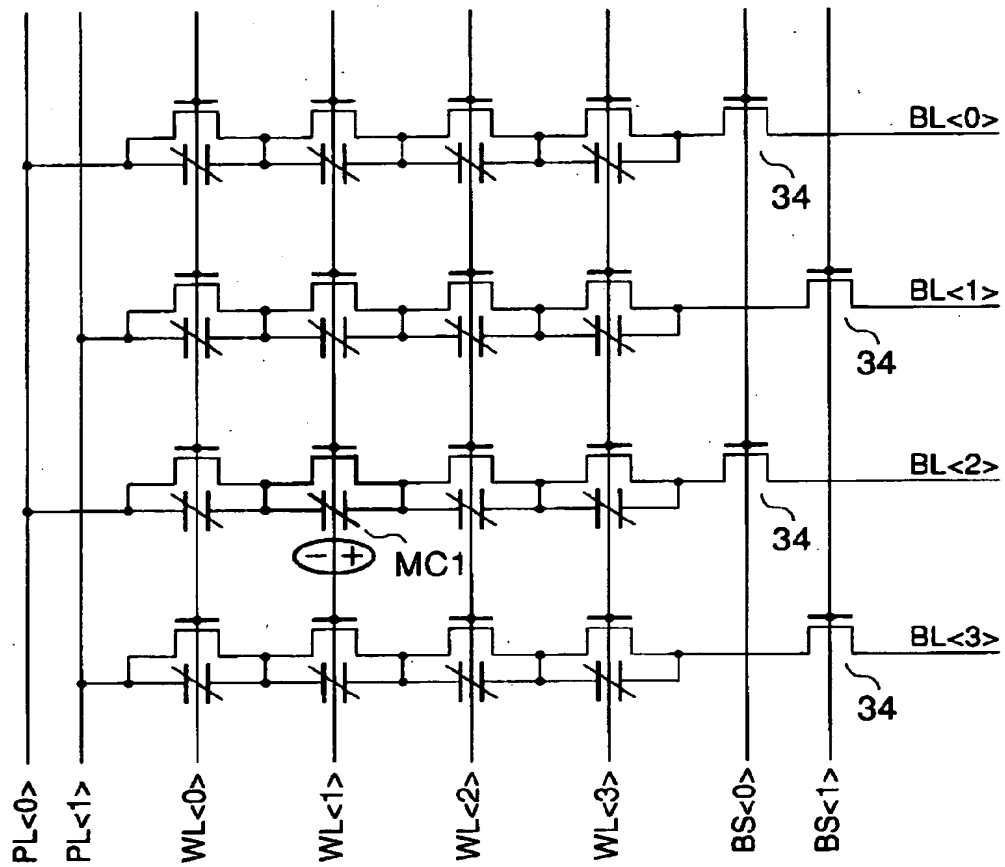
【図 24】



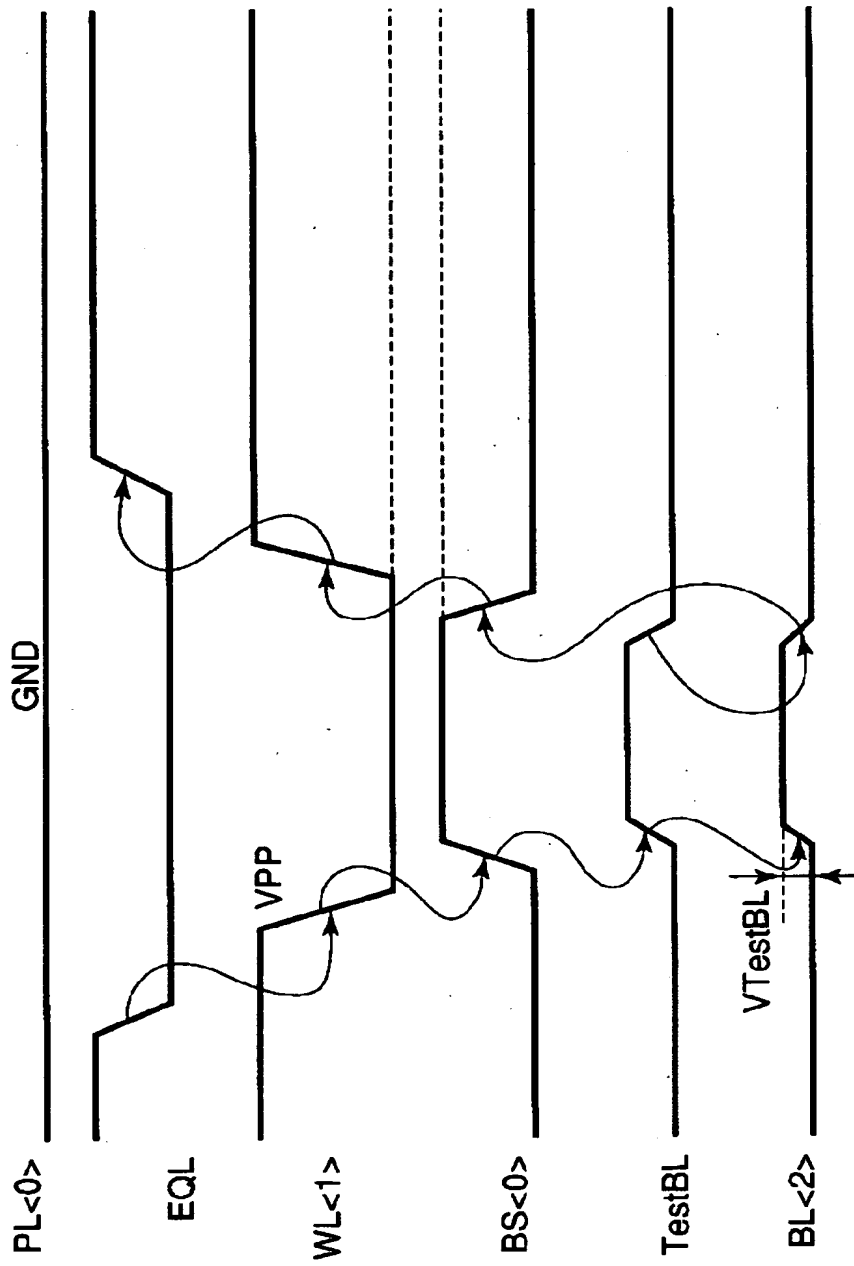
【図 25】



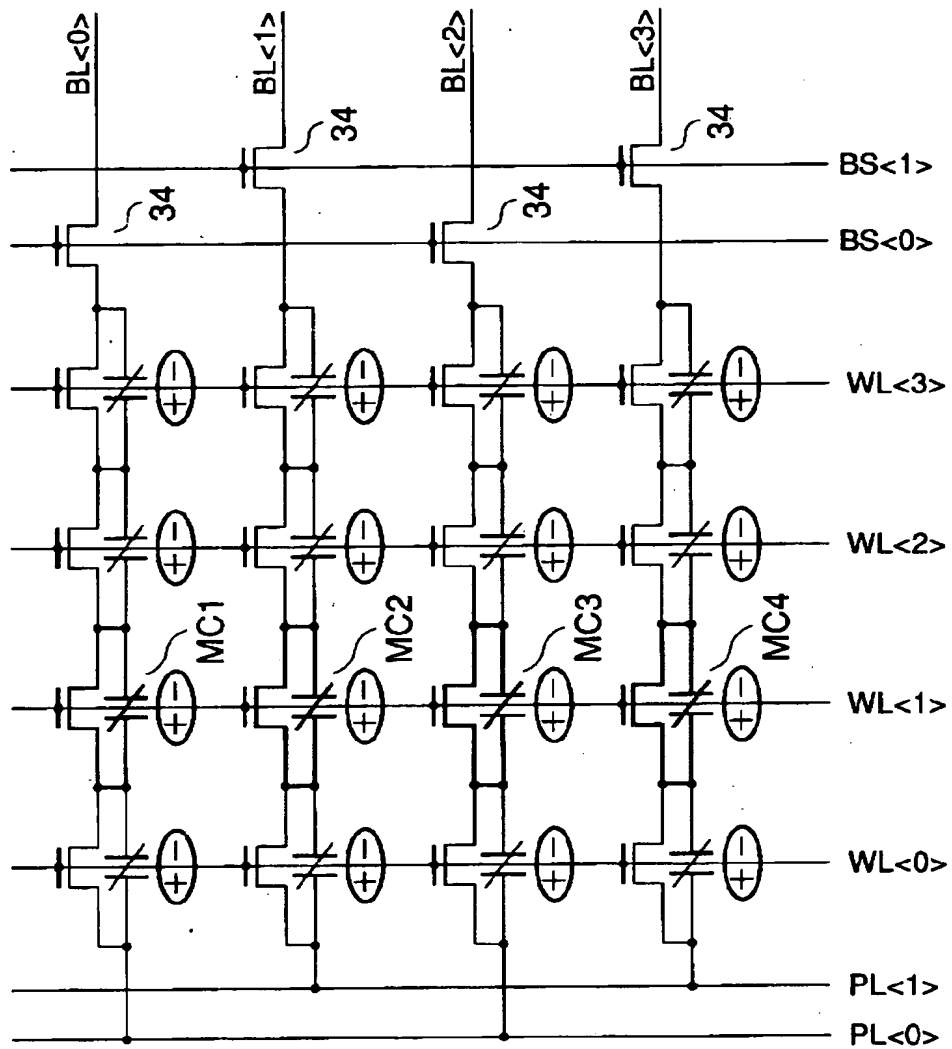
【図 26】



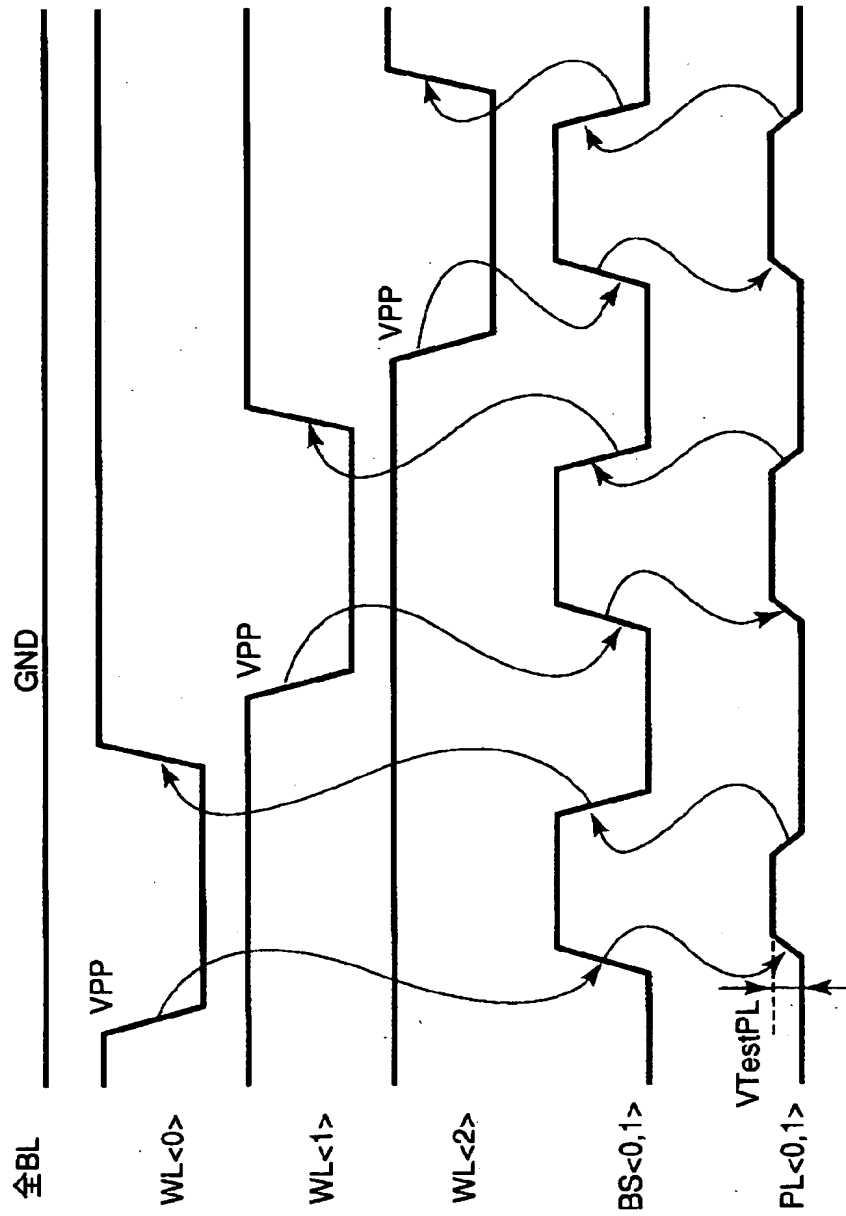
【図 27】



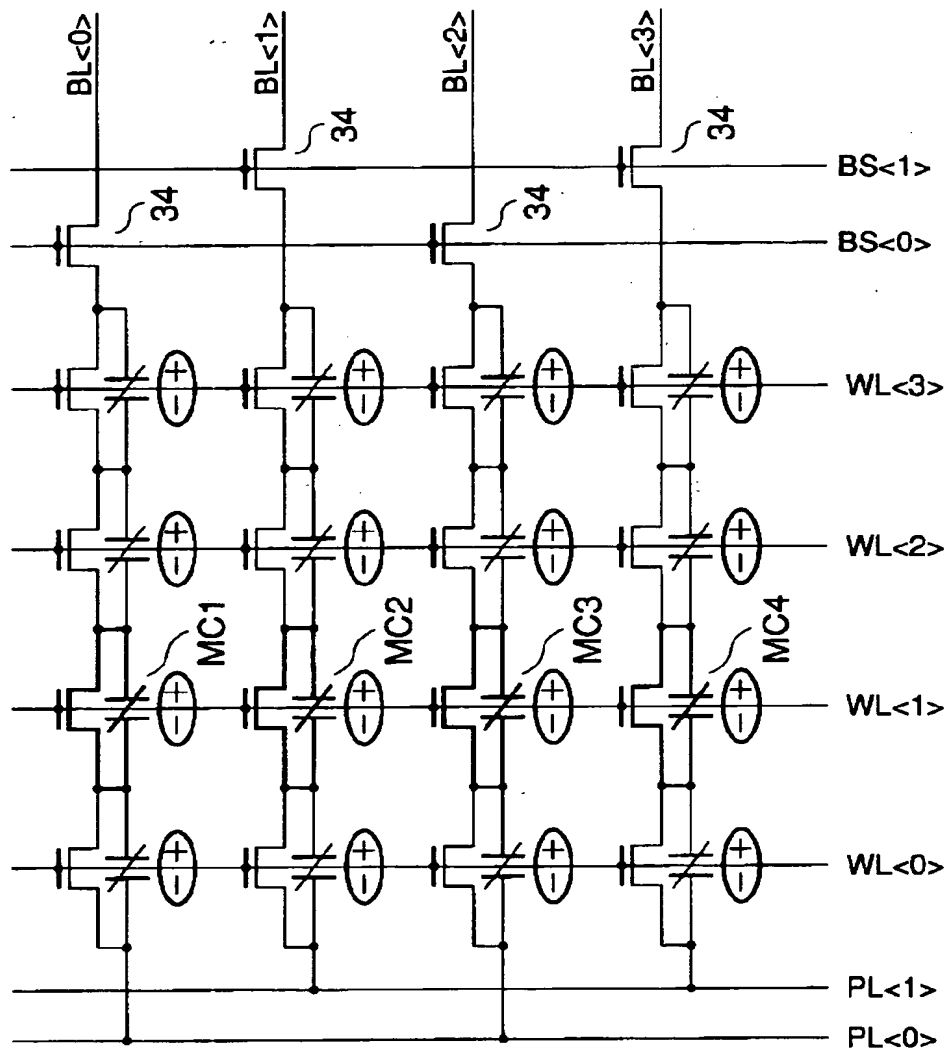
【図 28】



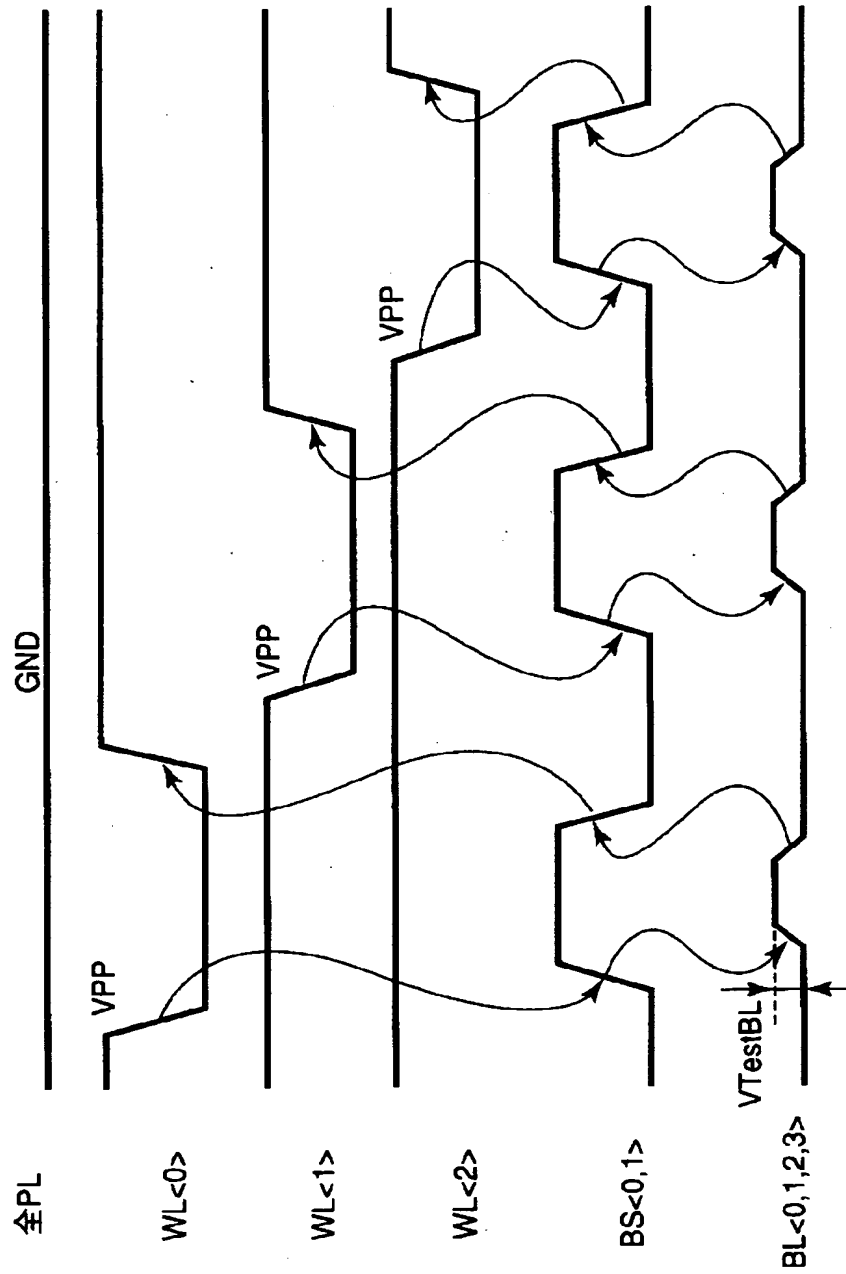
【図 29】



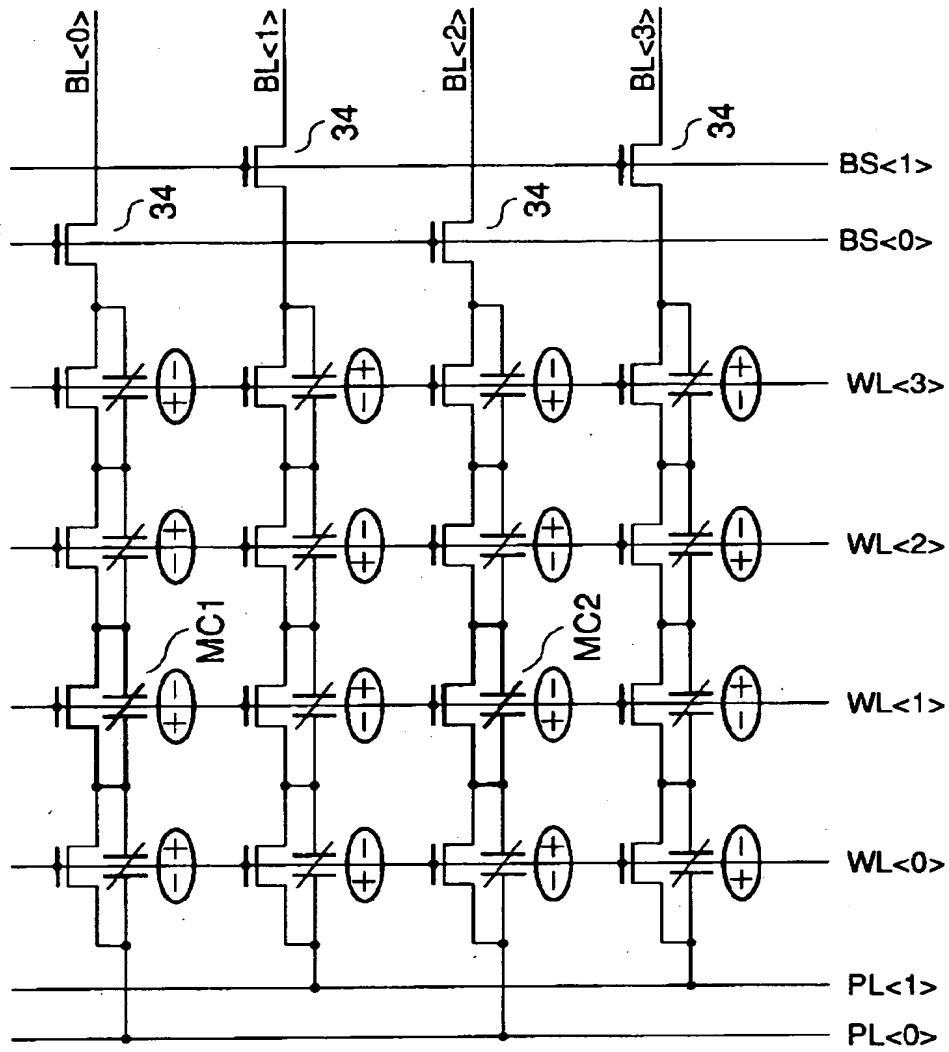
【図 30】



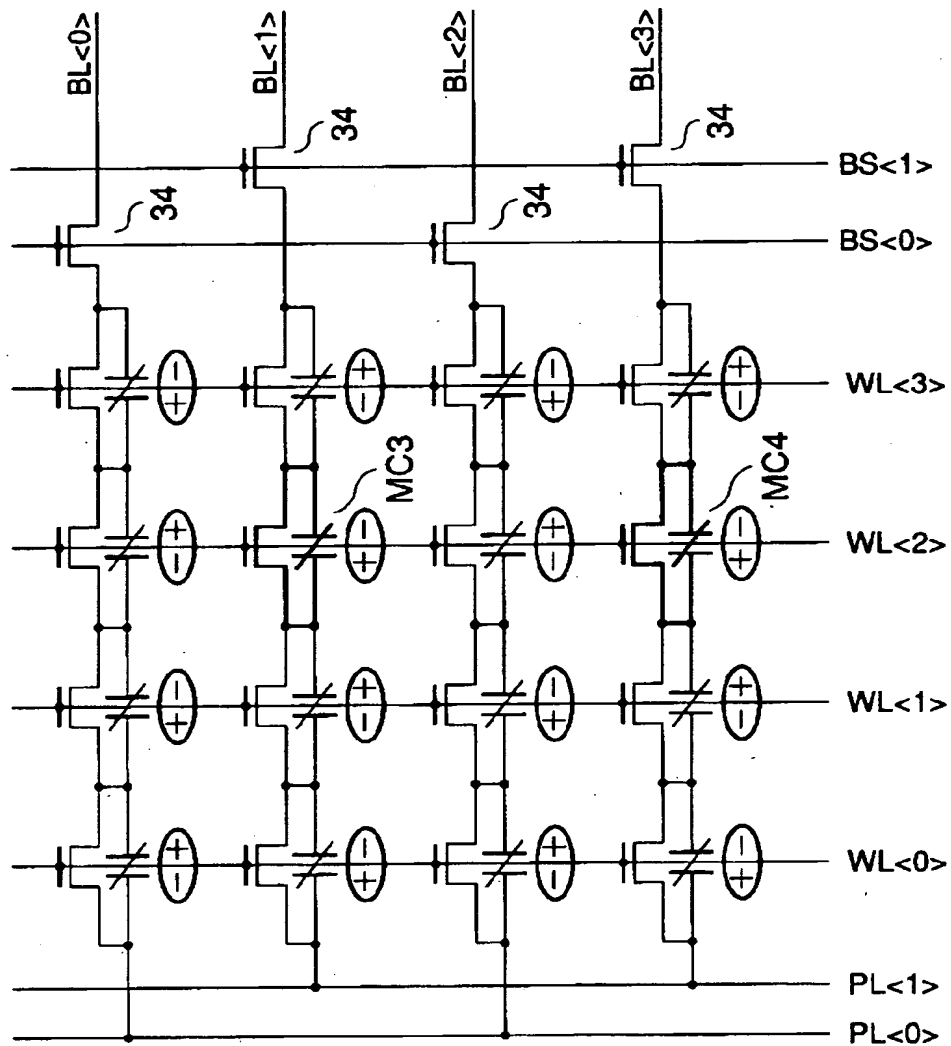
【図 31】



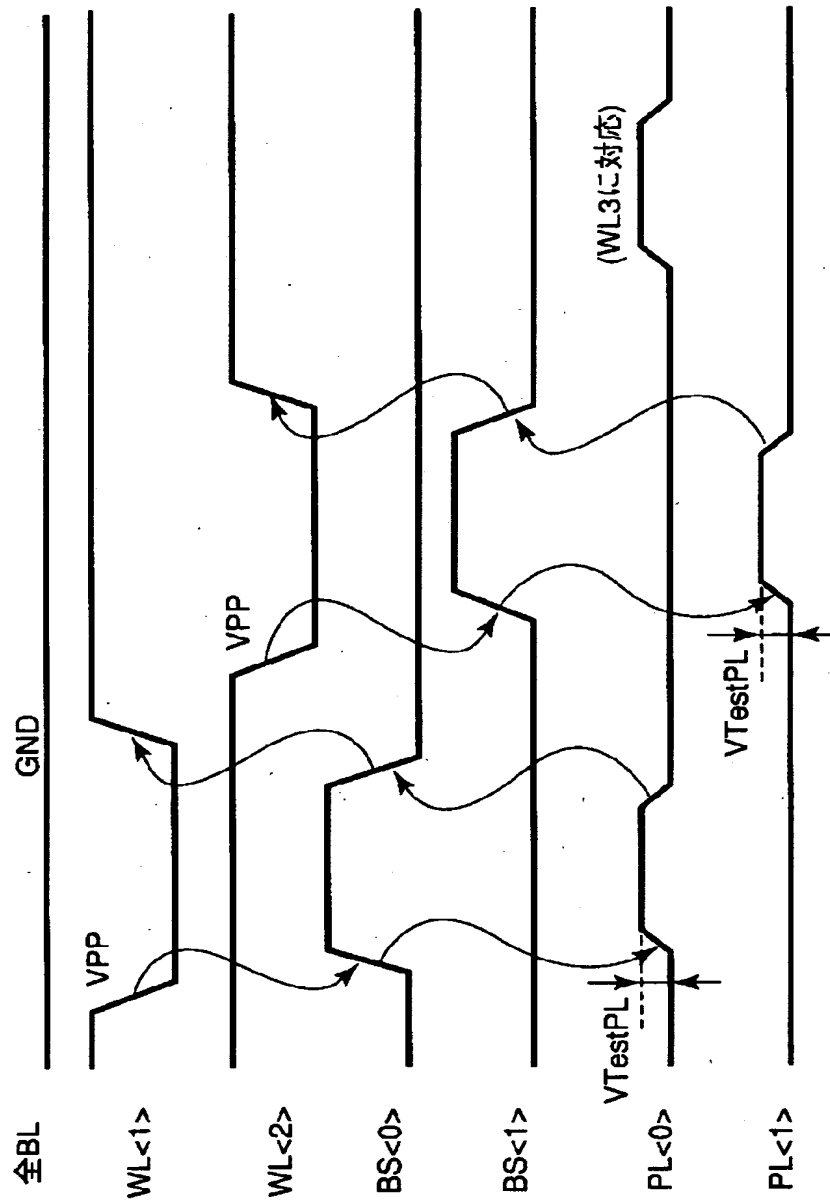
【図 32】



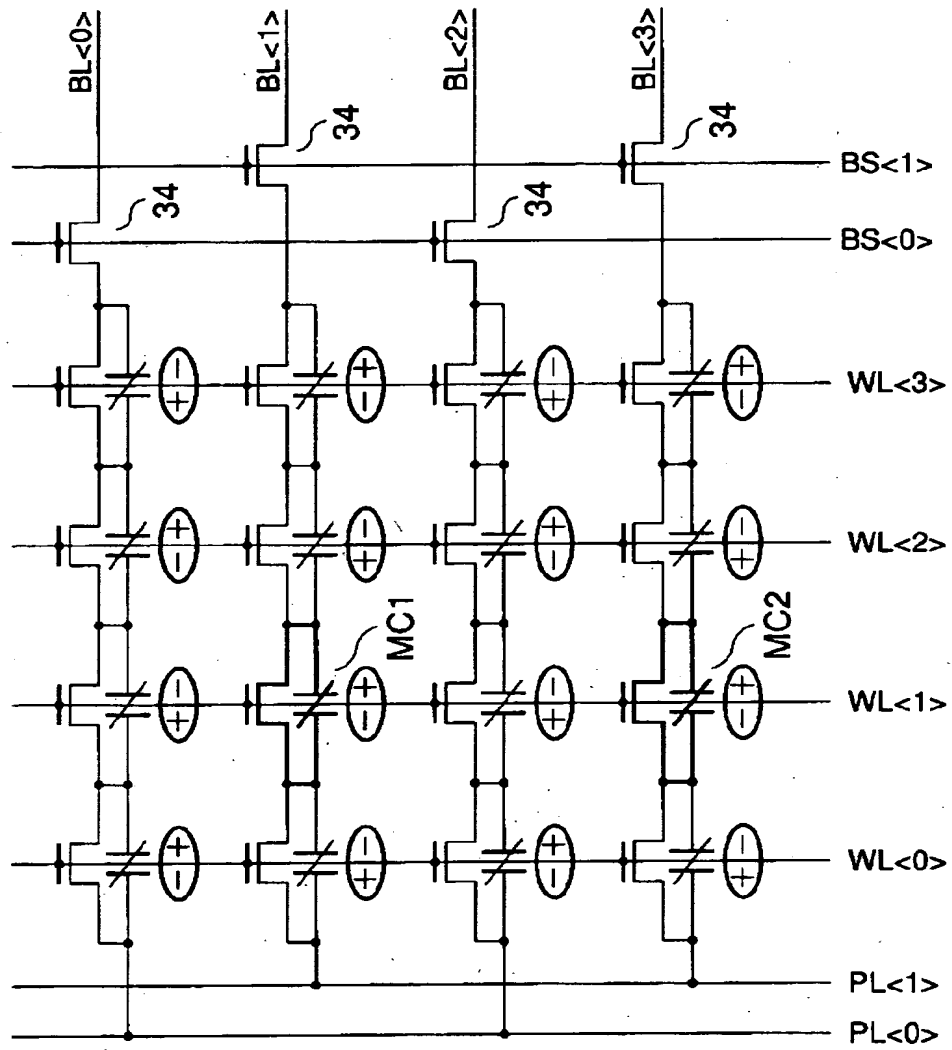
【図 33】



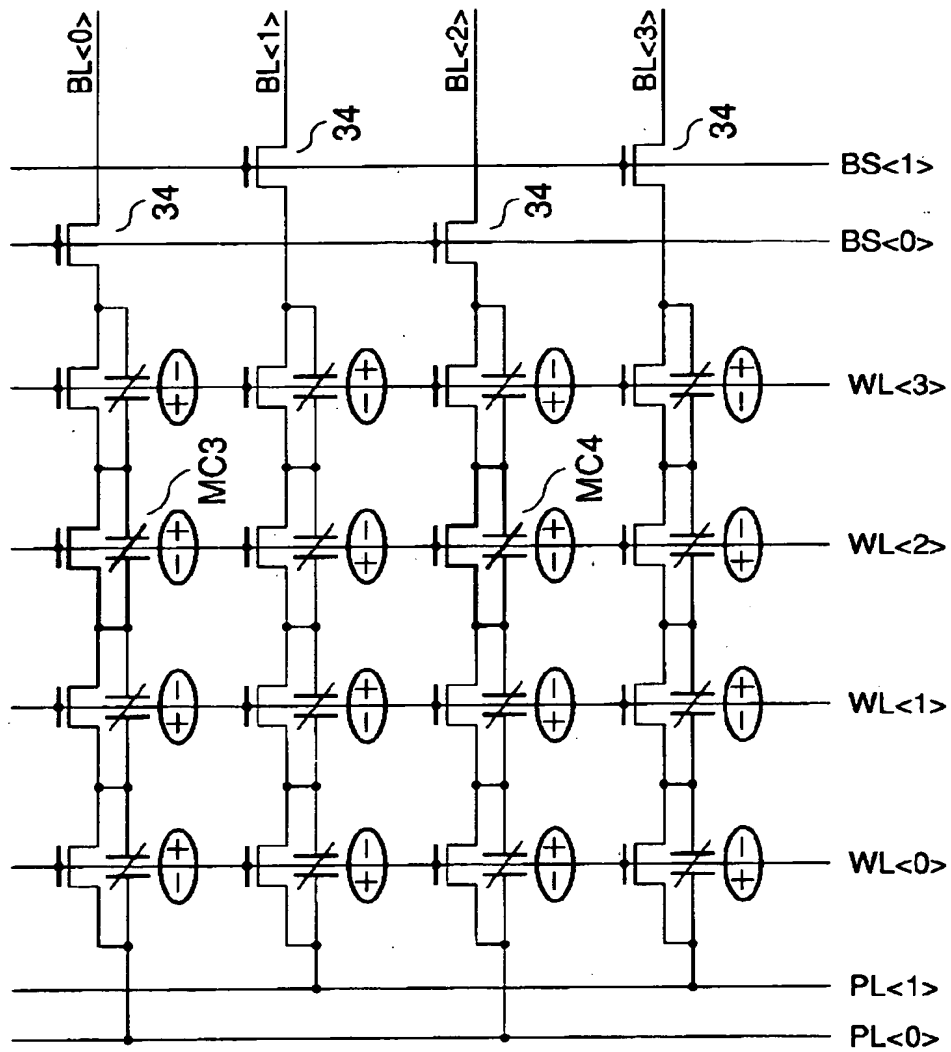
【図 34】



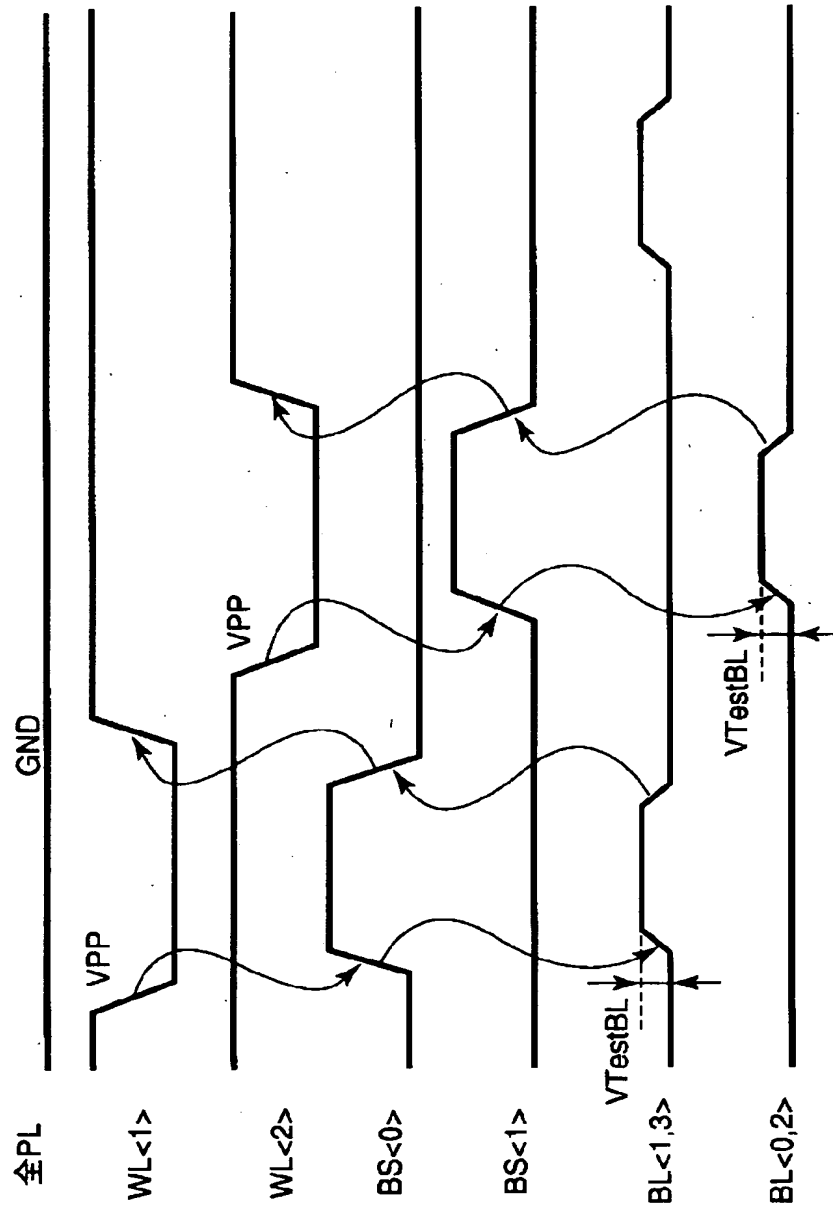
【図 35】



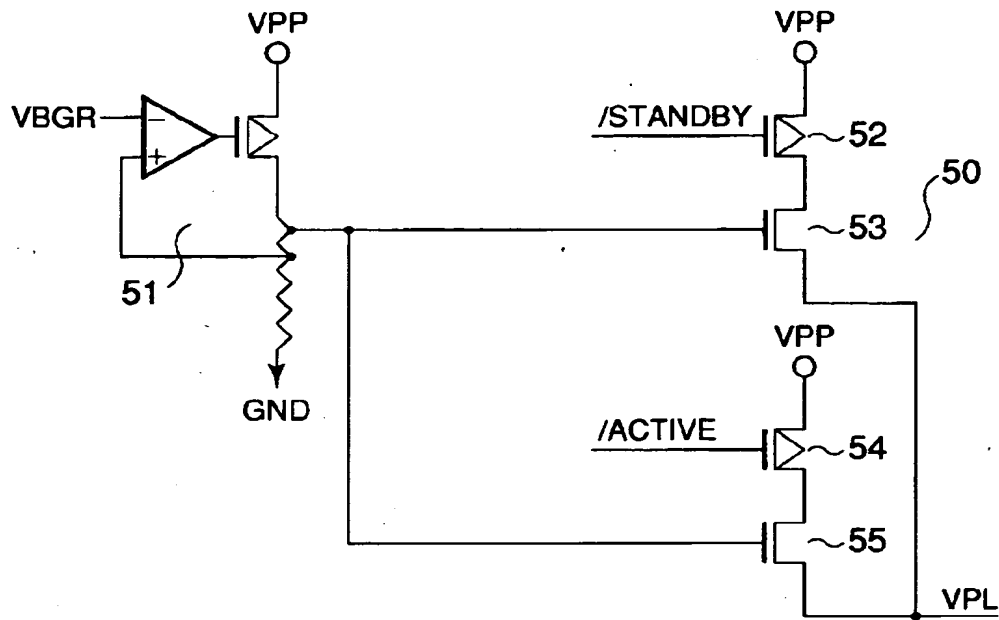
【図 36】



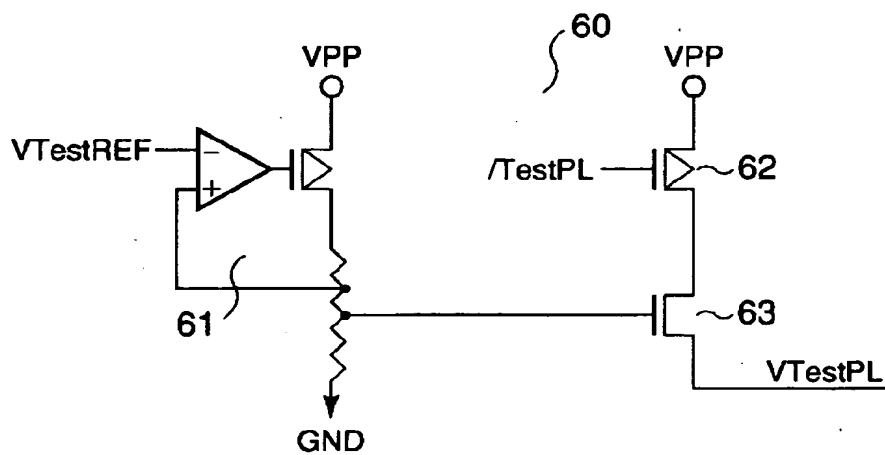
【図 37】



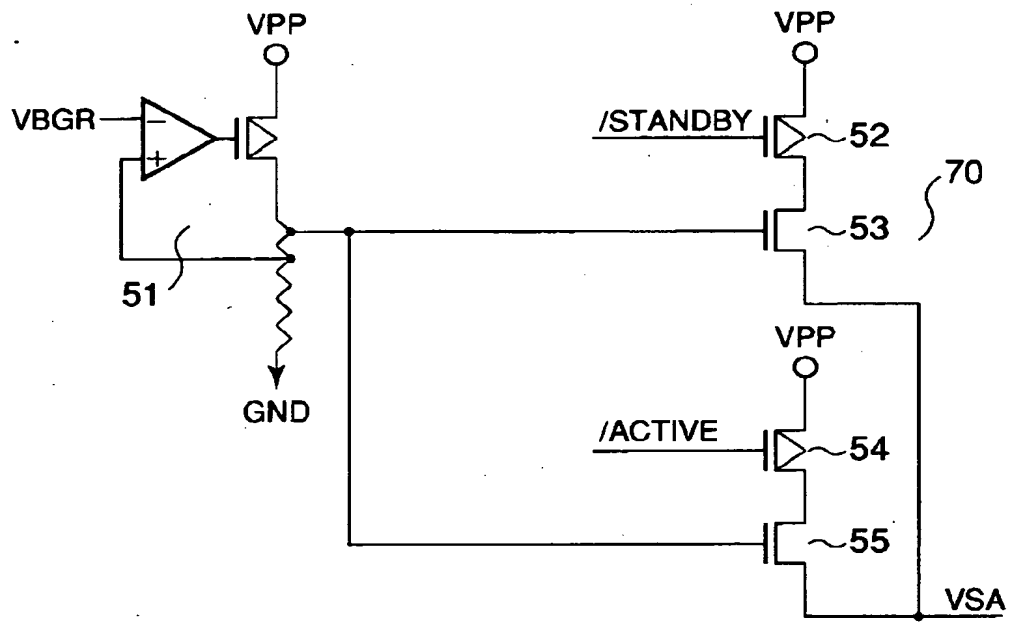
【図 38】



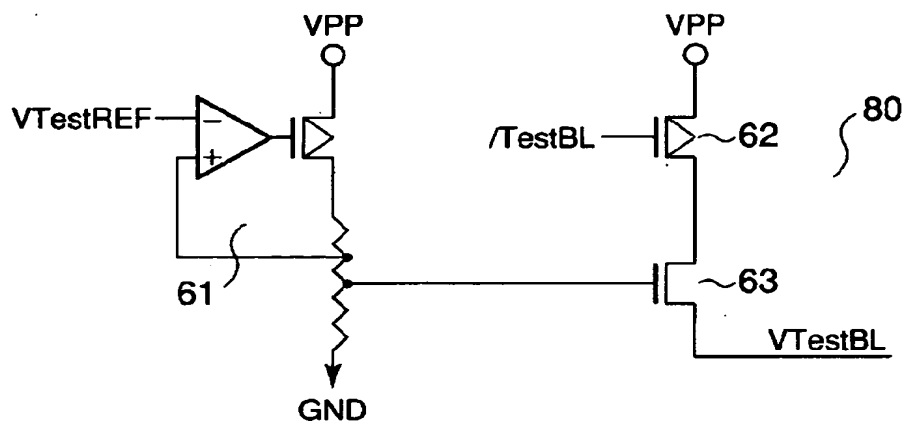
【図 39】



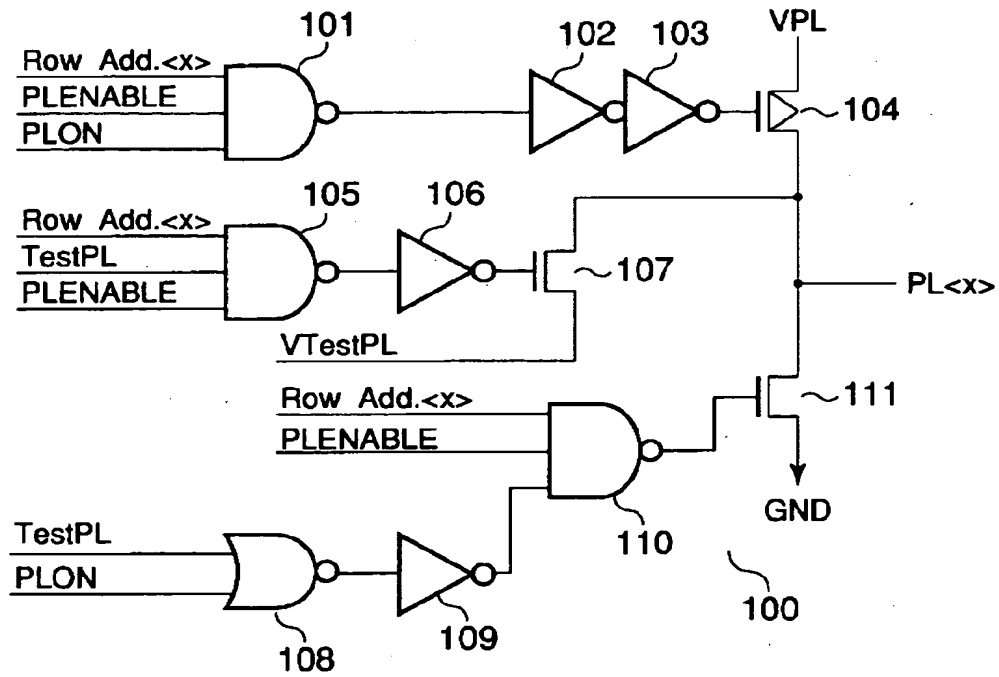
【図 40】



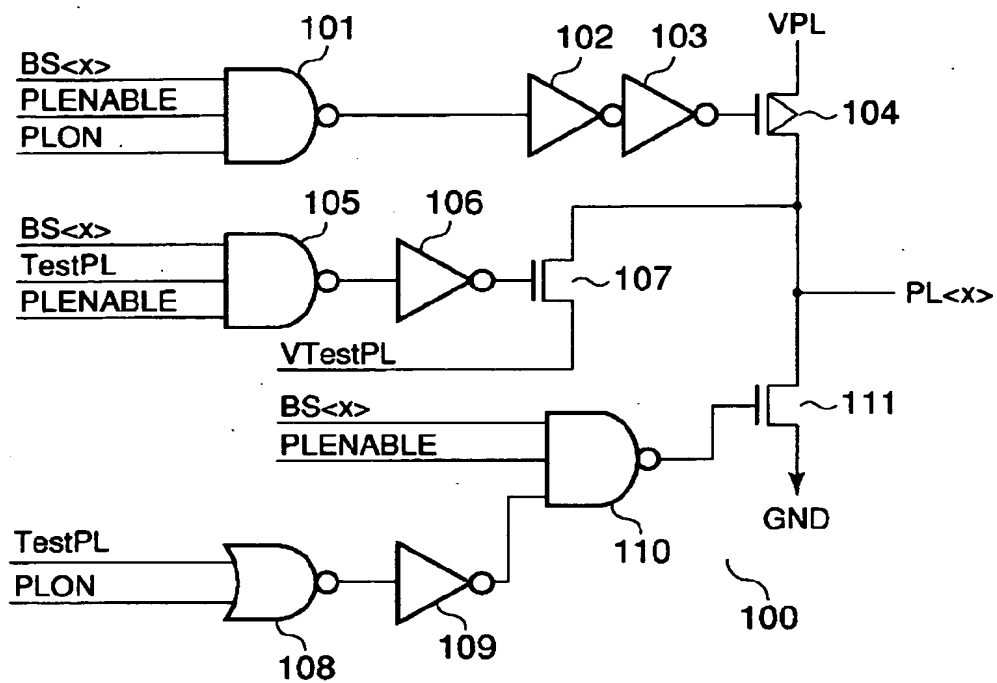
【図 41】



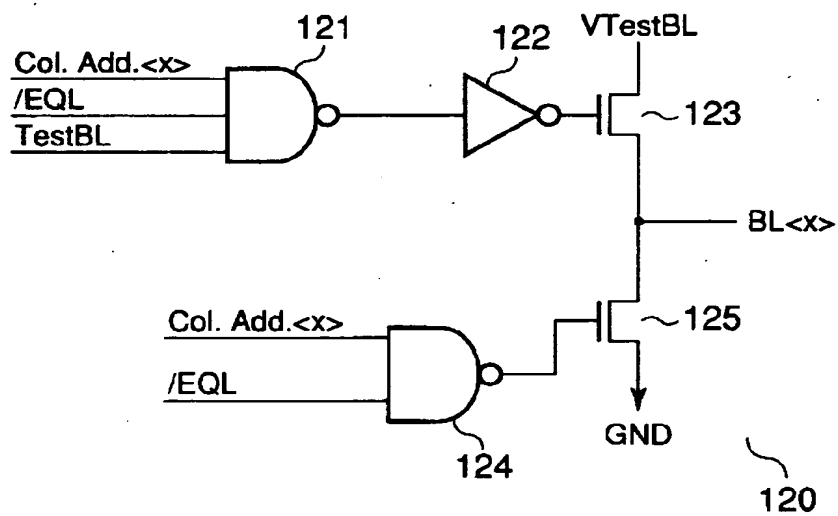
【図 4 2】



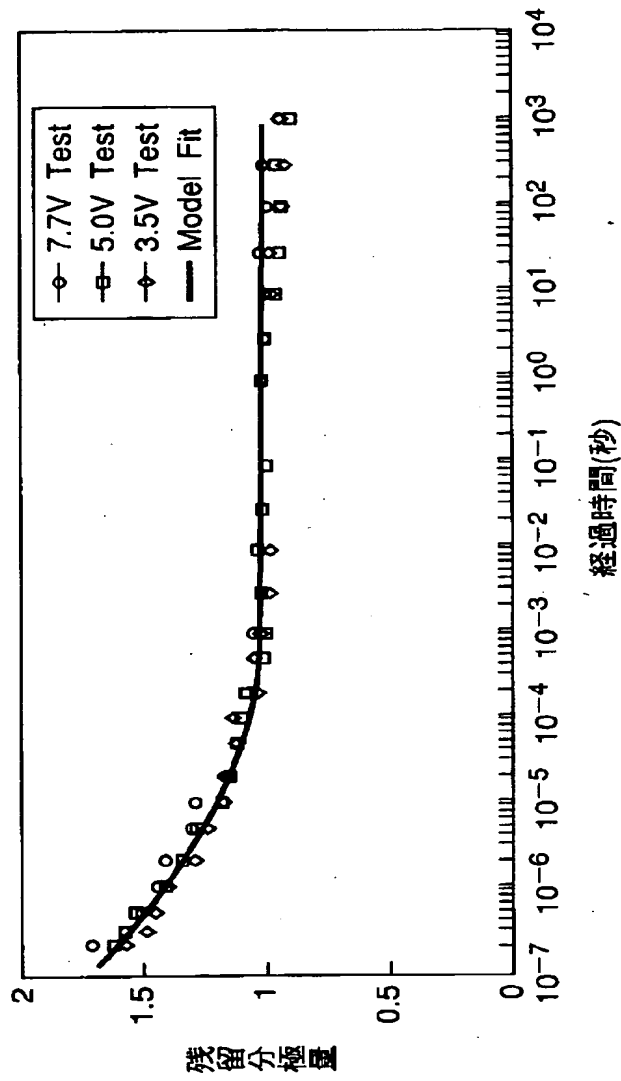
【図 4 3】



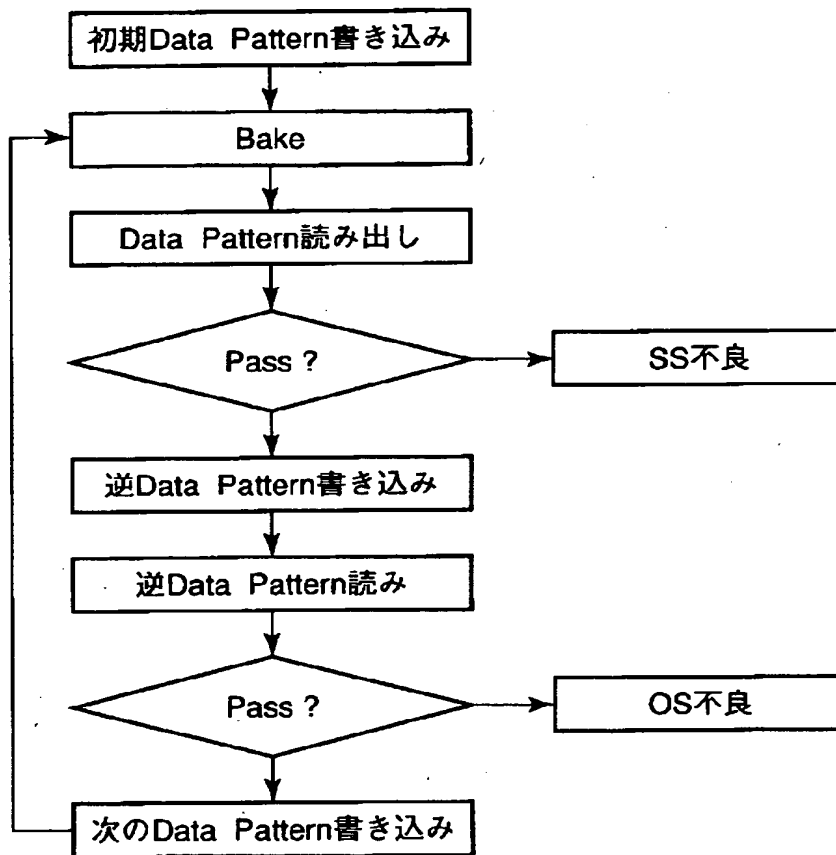
【図 4 4】



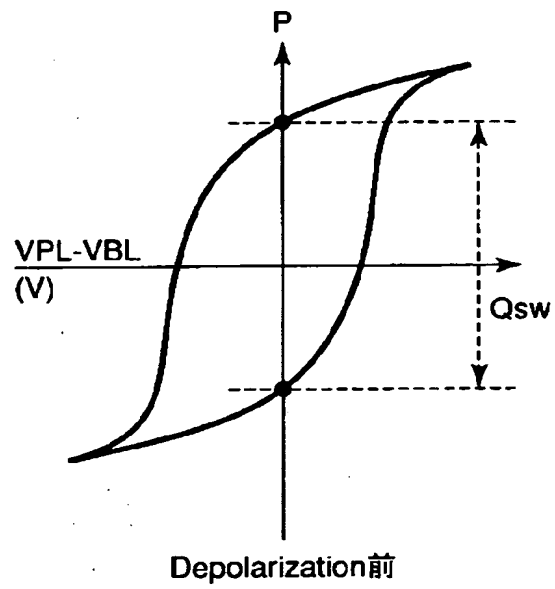
【図45】



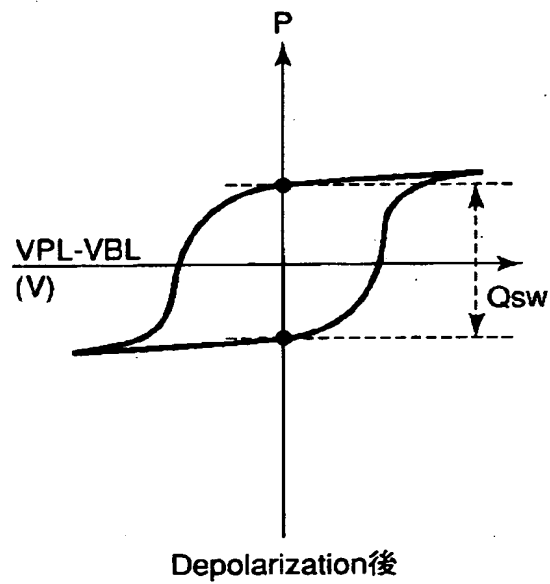
【図46】



【図 4 7】



【図 4 8】



【書類名】 要約書

【要約】

【課題】 強誘電体メモリセルにデータを書き込み、直ちに読み出しを行うのではなく、書き込んだデータに対応する分極を弱めるような電位差を加えた後、読み出しを行うことにより、短時間でデポラリゼーションした後のセル特性を評価でき、合わせて抗電圧が小さい不良セルをスクリーニングすることが可能となる。

【解決手段】 強誘電体キャパシタからなるセルキャパシタ32及びセルトランジスタ31からなる複数のメモリセルMCを備え、メモリセルのセルキャパシタ32の両電極間に第1の電位差を加えてメモリセルに分極データを書き込んだ後、対応するメモリセルから分極データの読み出しを行う前に、セルキャパシタ32の両電極間に、分極データ書き込み時とは反対の電界の向きに第1の電位差よりも小さな第2の電位差を加えるテストモードを有する。

【選択図】 図 7

【書類名】 手続補正書
 【整理番号】 AH00300305
 【提出日】 平成15年 3月18日
 【あて先】 特許庁長官 殿
 【事件の表示】

【出願番号】 特願2003- 70147

【補正をする者】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 発明者

【補正方法】 変更

【補正の内容】

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

【氏名】 萩原 隆

【その他】 発明者の表示の更正（誤記の理由は以下のとおり）

本件願書に記載された発明者「萩原 隆」は誤記であ
 って、正しくは「萩原 隆」であることが判明しました

かかる誤記が生じた理由はこれらの表音が近似してい
 るため願書作成中に錯誤が生じたものであって、この更
 正により発明者の変更の真は生じないものと思料します

【ブルーフの要否】 要

認定・付加情報

特許出願の番号	特願2003-070147
受付番号	50300443754
書類名	手続補正書
担当官	末武 実 . 1912
作成日	平成15年 3月24日

<認定情報・付加情報>

【補正をする者】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目1番1号
【氏名又は名称】	株式会社東芝

【代理人】

【識別番号】	100058479
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	鈴江 武彦

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝